

## 明 細 書

### ミキサ回路

### 技術分野

- [0001] 本発明は、特に低周波の低雑音特性が求められるダイレクトコンバージョン方式やLow-IF方式等を用いた無線通信装置における、受信系のミキサ回路に関するものである。

### 背景技術

- [0002] 無線通信機器の受信方式には、スーパーヘテロダイン方式、ダイレクトコンバージョン方式、Low-IF方式等がある。現在、最も主流の受信方式はスーパーヘテロダイン方式であるが、近年、ダイレクトコンバージョン方式やLow-IF方式が注目されつつある。

- [0003] 図16に一般的なダイレクトコンバージョン受信機のブロック図を示す。

ダイレクトコンバージョン受信機は、IF帯を介さずに、RF帯からDCまで周波数変換を行うものであり、以下のように動作する。アンテナ201から入力された高周波信号をバンドパスフィルタ(以下BPF)202にてフィルタリングし、高周波増幅器(以下LNA)203により信号増幅を行った高周波信号を、2つの経路に分けてミキサ204a, 204bに入力する。90°位相器207において、PLL208からの信号を互いに90°位相の異なるLO信号とし、このLO信号を用いてミキサ204a, 204bにて周波数変換する。そして、ミキサ204a, 204bからの信号を、ローパスフィルタ205a, 205bを通過させ、VGA206a, 206bにより所望の振幅まで増幅し、出力信号を得る。

- [0004] ダイレクトコンバージョン方式では、一つのミキサにより、RF帯からDCまでIF帯を介さずに周波数変換を行うため、システム構成が簡単になる。その上、スーパーヘテロダイン方式で問題となるイメージ混信が生じないので、BPFの数を大幅に削減できる。従って、低コスト化への貢献度が非常に高い。

- [0005] 以上のように、ダイレクトコンバージョン方式は、理想的な受信方式であるが、以下のような問題点がある。

その問題点とは、ベースバンド帯がDCであるため、スーパーヘテロダイン方式と比

べ、フリッカ雑音の影響を非常に受けやすいということである。特に、フリッカ雑音が、バイポーラ等の高周波デバイスと比べ100倍から1000倍程度大きいといわれる MOS デバイスを用いた場合には、非常に大きな問題となる(例えば、非特許文献1)。

[0006] このことを具体的に示すために、例えば、図17のようなLNA203とミキサ204aとが縦続接続されてなる系における雑音指数について説明する。

[0007] LNA203単体の利得 $G_{lna}$ 、雑音指数 $NF_{lna}$ がそれぞれ $G_{lna}=20\text{dB}$ 、 $NF_{lna}=5\text{dB}$ 一定、ミキサ204a単体の雑音指数 $NF_{mix}$ が図18のように低周波で周波数に逆比例するフリッカ雑音特性( $NF_{mix}=15\text{dB}@10\text{MHz}$ 、 $NF_{mix}=45\text{dB}@1\text{kHz}$ )を有している場合、フリスの式から、系全体の雑音指数 $NF_{all}$ は、10MHzで $NF_{all}=5.4\text{dB}$ 、1kHzで $NF_{all}=25\text{dB}$ となる。つまり、IF信号周波数が高い場合における $NF_{all}$ は、ほぼ $NF_{lna}$ で決定されるのに対し、IF信号周波数が低い場合における $NF_{all}$ は、ほぼ $NF_{mix}-G_{lna}$ で決定され、 $NF_{mix}$ に強く依存する。

[0008] 従って、ダイレクトコンバージョン方式やLow-IF方式を用いた受信機では、ミキサの低周波雑音により、システム全体の受信感度が大きく劣化する。

[0009] 次に、ミキサの低周波雑音特性について、以下、より具体的に説明する。なお、現在主流のミキサとして、シングルバランスドミキサとダブルバランスドミキサとがあるが、動作には大差がないため、シングルバランスドミキサにて両者を代表し、説明する。

[0010] 図19に、従来のミキサ回路の回路図を示す。ミキサコア部の基本構成はシングルバランスドミキサである。また、11はRFトランジスタ、21, 22は第一、第二のLO(ローカル)トランジスタ、33, 34は第一、第二のIF出力端子、31, 32は第一、第二の負荷抵抗、50はRF信号供給器、60はLO信号供給器、VDDは電源、GNDはグランドである。

[0011] ここで、通常、RF信号供給器50は、アンテナ等であり、例えば、図16におけるアンテナ201、BPF202、LNA203に相当する。また、通常、LO信号供給器60は、PLL等であり、例えば、図16におけるPLL208、90°位相器207に相当する。

[0012] まず、ミキサ回路の基本動作について説明する。

RF信号供給器50から供給されるRF信号は、RFトランジスタ11に入力され、電圧信号から電流信号に変換される。

- [0013] 一方、LO信号供給器60から供給される差動のLO信号は、それぞれ第一、第二のLOトランジスタ21, 22に入力され、第一、第二のLOトランジスタ21, 22はLO信号の周波数でスイッチ動作を繰り返す。
- [0014] これらのスイッチ動作している第一、第二のLOトランジスタ21, 22に電流変換されたRF信号が入力されると、RF信号とLO信号とが乗算される。これにより、RF信号は周波数変換され、IF信号となり、第一、第二の負荷抵抗31, 32で電圧変換されることにより、第一、第二のIF出力端子33, 34から電圧のIF信号をとりだすことができる。
- [0015] 次に、従来のミキサ回路における雑音特性について説明する。
- 図20は、第一、第二のIF出力端子33, 34における、IF周波数に対する第一、第二のLOトランジスタ21, 22のフリッカ雑音の雑音占有率をあらわしたものである。図20に示すように、1MHz以下の周波数では、出力雑音の70%以上が、第一、第二のLOトランジスタ21, 22のフリッカ雑音となる。従って、低周波における雑音特性を改善するためには、第一、第二のLOトランジスタ21, 22のフリッカ雑音を抑制することが最も効果的である。
- [0016] なお、図20の第一、第二のLOトランジスタ21, 22のフリッカ雑音占有率特性、及び、以降に示す雑音指数特性のグラフは、全て標準的なスパイス (Simulation Program with Integrated Circuit Emphasis、SPICE) によるシミュレーションの結果である。
- [0017] 次に、従来のミキサ回路における第一、第二のLOトランジスタ21, 22のフリッカ雑音について、より定量的に説明する。
- [0018] まず、第一、第二のLOトランジスタ21, 22のゲート端子における雑音 $V_n^2$ は数1で与えられることが知られている。

[数1]

$$V_n^2 = \frac{kf}{C_{ox} \cdot W \cdot L \cdot f}$$

- [0019] ただし、 $C_{ox}$ 、 $W$ 、 $L$ はそれぞれ第一、第二のLOトランジスタ21, 22のゲート酸化膜容量、チャネル幅、チャネル長であり、 $f$ は周波数、 $kf$ はフリッカ係数である。
- [0020]  $V_n$ は第一、第二のLOトランジスタ21, 22のトランスコンダクタンス $g_{mLO}$ により電流変換され、さらに第一、第二の負荷抵抗31, 32により電圧変換されて第一、第二の

IF出力端子33, 34にあらわれる。従って、第一、第二のIF出力端子33, 34にあらわれる第一、第二のLOトランジスタ21, 22の出力雑音 $V_{no}^2$ は数2のようになる。

[数2]

$$V_{no}^2 = \alpha \cdot gmLO^2 \cdot R^2 \cdot \frac{kf}{Cox \cdot W \cdot L \cdot f}$$

ここで、Rは第一、第二の負荷抵抗31, 32の抵抗値、 $\alpha$ は定数である。

[0021] 従って、入力換算雑音 $V_{ni}^2$ は、出力雑音 $V_{no}^2$ を電力利得 $\beta \cdot gmRF^2 \cdot R^2$ で割ることにより得られ、数3で与えられる。

[数3]

$$V_{ni}^2 = \frac{\alpha}{\beta} \cdot \frac{gmLO^2}{gmRF^2} \cdot \frac{kf}{Cox \cdot W \cdot L \cdot f}$$

ただし、gmRFはRFトランジスタ11のトランスコンダクタンス、 $\beta$ は定数である。

[0022] さらに、入力換算雑音 $V_{ni}^2$ を50Ω系の雑音指数NFで表現すると、数4のようになる。

[数4]

$$NF = 10 \cdot \log \left( \frac{\gamma}{50 \cdot k \cdot T} \cdot \frac{gmLO^2}{gmRF^2} \cdot \frac{kf}{Cox \cdot W \cdot L \cdot f} \right)$$

ただし、kはボルツマン定数、Tは絶対温度、 $\gamma = \alpha / \beta$ である。

ここで、従来技術として、ミキサ回路の低周波におけるNF特性改善手段には、以下のようなものがある。

[0023] 第一の従来技術は、第一、第二のLOトランジスタ21, 22のトランジスタサイズを大きくすることである。フリッカ雑音は、数1に示すように第一、第二のLOトランジスタ21, 22のLW積に逆比例する。従って、第一、第二のLOトランジスタ21, 22のトランジスタサイズすなわちLW積を大きくすることにより、数4に従ってNF特性を改善することができる。

[0024] 第二の従来技術は、ミキサ回路の利得を大きくすることである。そのためには、RFトランジスタ11のトランスコンダクタンスgmRFを大きくする必要があり、RFトランジスタ11

のW/L比を大きくすること、あるいは、RFトランジスタ11のバイアス電流を大きくすることで実現できる。これにより、入力換算雑音を小さくすることができ、その結果、数4に従ってNF特性を改善することができる。

- [0025] 第三の従来技術は、第一、第二の負荷抵抗31, 32のサイズを最適化することである。低周波における出力雑音が、第一、第二の負荷抵抗31, 32のフリッカ雑音と抵抗熱雑音とによって支配的な場合、第一、第二の負荷抵抗31, 32のサイズを調整することにより、抵抗熱雑音とフリッカ雑音との割合を最適化し、低周波におけるNF特性を改善することができる(例えば、特許文献1)。

特許文献1: 特開2003-158425号公報(第1-6頁、図1)

非特許文献1: 伊藤信之、「RF CMOS回路設計技術」、株式会社トリケップス、2002年6月、P. 9-23

## 発明の開示

### 発明が解決しようとする課題

- [0026] しかしながら、上記従来技術におけるミキサ回路の低周波雑音特性改善手法には、それぞれ、以下のような問題がある。
- 第一の従来技術に関しては、LW積を大きくすると、第一、第二のLOトランジスタ21, 22が完全なスイッチ動作をできなくなるため、利得が低減する。また、第一、第二のLOトランジスタ21, 22の寄生容量が大きくなるためRF, LOの各信号の周波数特性が劣化する。従って、LW積をあまり大きな値にすることはできない。
- [0027] 第二の従来技術に関しては、RFトランジスタ11のW/L比を大きくすると、歪特性やRF信号の周波数特性が劣化する。従って、W/L比をあまり大きな値にすることはできない。
- [0028] また、バイアス電流については、図19の回路構成から明らかなように、RFトランジスタ11のバイアス電流の半分が第一、第二のLOトランジスタ21, 22のバイアス電流となるので、バイアス電流を大きくすることにより $g_m RF$ を大きくしても、それに比例して $g_m LO$ も大きくなるため、結局NFを小さくすることはできない。
- [0029] 第三の従来技術に関しては、低周波雑音特性に優れたバイポーラ等の高周波デバイスを用いた場合にはある程度有効であるが、MOSデバイスを用いた場合には第

一、第二のLOトランジスタ21, 22のフリッカ雑音の割合が大きく、あまり有効でない。  
また、第一、第二の負荷抵抗31, 32のサイズを非常に大きくする必要があり、回路面積、IF信号の周波数特性等にも問題がある。

[0030] 以上のように、従来のミキサ回路では、低周波雑音を効果的に低減させる方法がなく、特にダイレクトコンバージョン方式やLow-IF方式を用いた受信システムにおいて、良好な受信感度が得られないという問題があった。

[0031] 本発明は、上記のような従来の問題点を解決するためになされたもので、低周波雑音特性に優れたミキサ回路を提供するものである。

#### 課題を解決するための手段

[0032] 上記従来の課題を解決するために、本発明の請求項1にかかるミキサ回路は、電源とグランドとの間に、IF信号出力負荷部と、LO信号処理部と、RF信号処理部とが縦続接続されてなるミキサと、前記RF信号処理部にRF信号を供給するためのRF信号供給器と、前記LO信号処理部にLO信号を供給するためのLO信号供給器と、前記LO信号処理部のバイアス電流をバイパスする、少なくとも1つ以上のバイパス電流供給部と、を備えたことを特徴とする。

[0033] 本発明の請求項2にかかるミキサ回路は、請求項1に記載のミキサ回路において、前記バイパス電流供給部は、前記LO信号処理部と並列に接続される、ことを特徴とする。

[0034] 本発明の請求項3にかかるミキサ回路は、請求項1に記載のミキサ回路において、前記バイパス電流供給部は、前記RF信号処理部のみにバイアス電流を追加供給する、ことを特徴とする。

[0035] 本発明の請求項4にかかるミキサ回路は、請求項1に記載のミキサ回路において、前記バイパス電流供給部は、RF信号処理部のみにバイアス電流を追加供給する第一のバイパス電流源と、IF信号出力負荷部のみにバイアス電流を追加供給する第二のバイパス電流源と、を備えたことを特徴とする。

[0036] 本発明の請求項5にかかるミキサ回路は、電源とグランドとの間に、IF信号出力負荷部と、LO信号処理部と、RF信号処理部とが縦続接続されてなるシングルバランスドミキサと、前記RF信号処理部にRF信号を供給するためのRF信号供給器と、前記

LO信号処理部にLO信号を供給するためのLO信号供給器と、前記LO信号処理部のバイパス電流をバイパスする、少なくとも1つ以上のバイパス電流供給部とを備え、前記IF信号出力負荷部は、一方の端子が電源に、他方の端子が第一のIF出力端子に接続された第一の負荷抵抗と、一方の端子が電源に、他方の端子が第二のIF出力端子に接続された第二の負荷抵抗とを備え、前記RF信号処理部は、ソース端子がグランドに接地されたRFトランジスタを備え、前記LO信号処理部は、ソース端子が前記RFトランジスタのドレイン端子に、ドレイン端子が前記第一のIF出力端子に接続された第一のLOトランジスタと、ソース端子が前記RFトランジスタのドレイン端子に、ドレイン端子が前記第二のIF出力端子に接続された第二のLOトランジスタと、を備えたことを特徴とする。

- [0037] 本発明の請求項6にかかるミキサ回路は、請求項5に記載のミキサ回路において、前記バイパス電流供給部は、前記第一のIF出力端子と前記RFトランジスタのドレイン端子との間に前記第一のLOトランジスタと並列に接続された第一のバイパス電流源と、前記第二のIF出力端子と前記RFトランジスタのドレイン端子との間に前記第二のLOトランジスタと並列に接続された第二のバイパス電流源と、を備えたことを特徴とする。
- [0038] 本発明の請求項7にかかるミキサ回路は、請求項5に記載のミキサ回路において、前記バイパス電流供給部は、電源と前記RFトランジスタのドレイン端子との間に接続された、前記RFトランジスタのみにバイパス電流を追加供給する第一のバイパス電流源を、備えたことを特徴とする。
- [0039] 本発明の請求項8にかかるミキサ回路は、請求項5に記載のミキサ回路において、前記バイパス電流供給部は、電源と前記RFトランジスタのドレイン端子との間に接続された、前記RFトランジスタのみにバイパス電流を追加供給する第一のバイパス電流源と、前記第一のIF出力端子とグランドとの間に接続された、前記第一の負荷抵抗のみにバイパス電流を追加供給する第二のバイパス電流源と、前記第二のIF出力端子とグランドとの間に接続された、前記第二の負荷抵抗のみにバイパス電流を追加供給する第三のバイパス電流源と、を備えたことを特徴とする。
- [0040] 本発明の請求項9にかかるミキサ回路は、電源とグランドとの間に、IF信号出力負

荷部と、LO信号処理部と、RF信号処理部とが縦続接続されてなるダブルバランスドミキサと、前記RF信号処理部にRF信号を供給するためのRF信号供給器と、前記LO信号処理部にLO信号を供給するためのLO信号供給器と、前記LO信号処理部のバイアス電流をバイパスする、少なくとも1つ以上の第一のバイパス電流供給部とを備え、前記IF信号出力負荷部は、一方の端子が電源に接続され、他方の端子が第一のIF出力端子に接続された第一の負荷抵抗と、一方の端子が電源に接続され、他方の端子が第二のIF出力端子に接続された第二の負荷抵抗とを備え、前記RF信号処理部は、ソース端子がグランドに接地された第一のRFトランジスタ、及び第二のRFトランジスタを備え、前記LO信号処理部は、ソース端子が前記第一のRFトランジスタのドレイン端子に、ドレイン端子が前記第一のIF出力端子に接続された第一のLOトランジスタと、ソース端子が前記第一のRFトランジスタのドレイン端子に、ドレイン端子が前記第二のIF出力端子に接続された第二のLOトランジスタと、ソース端子が前記第二のRFトランジスタのドレイン端子に、ドレイン端子が前記第一のIF出力端子に接続された第三のLOトランジスタと、ソース端子が前記第二のRFトランジスタのドレイン端子に、ドレイン端子が前記第二のIF出力端子に接続された第四のLOトランジスタと、を備えたことを特徴とする。

[0041] 本発明の請求項10にかかるミキサ回路は、請求項9に記載のミキサ回路において、前記バイパス電流供給部は、前記第一のIF出力端子と前記第一のRFトランジスタのドレイン端子との間に前記第一のLOトランジスタと並列に接続された第一のバイパス電流源と、前記第二のIF出力端子と前記第一のRFトランジスタのドレイン端子との間に前記第二のLOトランジスタと並列に接続された第二のバイパス電流源と、前記第一のIF出力端子と前記第二のRFトランジスタのドレイン端子との間に前記第三のLOトランジスタと並列に接続された第三のバイパス電流源と、前記第二のIF出力端子と前記第二のRFトランジスタのドレイン端子との間に前記第四のLOトランジスタと並列に接続された第四のバイパス電流源と、を備えたことを特徴とする。

[0042] 本発明の請求項11にかかるミキサ回路は、請求項9に記載のミキサ回路において、前記バイパス電流供給部は、前記第一のIF出力端子と前記第一のRFトランジスタのドレイン端子との間に前記第一のLOトランジスタと並列に接続される第一のバイパ

ス電流源と、前記第二のIF出力端子と前記第二のRFトランジスタのドレイン端子との間に前記第四のLOトランジスタと並列に接続される第二のバイパス電流源と、を備えたことを特徴とする。

[0043] 本発明の請求項12にかかるミキサ回路は、請求項9に記載のミキサ回路において、前記バイパス電流供給部は、電源と前記第一のRFトランジスタのドレイン端子との間に接続された、前記第一のRFトランジスタのみにバイアス電流を追加供給する第一のバイパス電流源と、電源と前記第二のRFトランジスタのドレイン端子との間に接続された、前記第二のRFトランジスタのみにバイアス電流を追加供給する第二のバイパス電流源と、を備えたことを特徴とする。

[0044] 本発明の請求項13にかかるミキサ回路は、請求項9に記載のミキサ回路において、前記バイパス電流供給部は、電源と前記第一のRFトランジスタのドレイン端子との間に接続された、前記第一のRFトランジスタのみにバイアス電流を追加供給する第一のバイパス電流源と、電源と前記第二のRFトランジスタのドレイン端子との間に接続された、前記第二のRFトランジスタのみにバイアス電流を追加供給する第二のバイパス電流源と、前記第一のIF出力端子とグランドとの間に接続された、前記第一の負荷抵抗のみにバイアス電流を追加供給する第三のバイパス電流源と、前記第二のIF出力端子とグランドとの間に接続された、前記第二の負荷抵抗のみにバイアス電流を追加供給する第四のバイパス電流源と、を備えたことを特徴とする。

[0045] 本発明の請求項14にかかるミキサ回路は、請求項1、請求項5、請求項9のいずれかに記載のミキサ回路において、前記第一ないし第四のバイパス電流源は、バイアス電圧出力端子を有するバイアス回路と、ゲート端子が前記バイアス電圧出力端子に接続された電流源トランジスタと、を備えたことを特徴とする。

[0046] 本発明の請求項15にかかるミキサ回路は、請求項1、請求項5、請求項9のいずれかに記載のミキサ回路において、前記ミキサ、前記シングルバランスドミキサ、前記ダブルバランスドミキサは、MOSTランジスタにより構成される、ことを特徴とする。

[0047] 本発明の請求項16にかかるミキサ回路は、請求項1、請求項5、請求項9のいずれかに記載のミキサ回路において、前記ミキサ回路は、ダイレクトコンバージョン方式の受信システム、あるいはLow-IF方式の受信システムに用いられる、ことを特徴とする。

## 発明の効果

- [0048] 本発明の請求項1にかかるミキサ回路によれば、電源とグランドとの間に、IF信号出力負荷部と、LO信号処理部と、RF信号処理部とが縦続接続されてなるミキサと、前記RF信号処理部にRF信号を供給するためのRF信号供給器と、前記LO信号処理部にLO信号を供給するためのLO信号供給器と、前記LO信号処理部のバイアス電流をバイパスする、少なくとも1つ以上のバイパス電流供給部と、を備えたものとしたので、利得を低減させることなく、LO信号処理部から発生するフリッカ雑音を低減することにより、低周波における雑音特性を改善することができる。
- [0049] 本発明の請求項2にかかるミキサ回路によれば、請求項1に記載のミキサ回路において、前記バイパス電流供給部は、前記LO信号処理部と並列に接続されるものとしたので、RF信号処理部のバイアス電流を小さくすることなく、LO信号処理部のバイアス電流を小さくすることができ、その結果、NFを小さくすることができる。
- [0050] 本発明の請求項3にかかるミキサ回路によれば、請求項1に記載のミキサ回路において、前記バイパス電流供給部は、前記RF信号処理部のみにバイアス電流を追加供給するものとしたので、RF信号処理部のバイアス電流を小さくすることなく、LO信号処理部のバイアス電流を小さくすることができ、その結果、NFを小さくすることができる。
- [0051] 本発明の請求項4にかかるミキサ回路によれば、請求項1に記載のミキサ回路において、前記バイパス電流供給部は、RF信号処理部のみにバイアス電流を追加供給する第一のバイパス電流源と、IF信号出力負荷部のみにバイアス電流を追加供給する第二のバイパス電流源と、を備えたものとしたので、RF信号処理部のバイアス電流を小さくすることなく、LO信号処理部のバイアス電流を小さくすることができ、その結果、NFを小さくすることができる。
- [0052] 本発明の請求項5にかかるミキサ回路によれば、電源とグランドとの間に、IF信号出力負荷部と、LO信号処理部と、RF信号処理部とが縦続接続されてなるシングルバランスミキサと、前記RF信号処理部にRF信号を供給するためのRF信号供給器と、前記LO信号処理部にLO信号を供給するためのLO信号供給器と、前記LO信号処理部のバイアス電流をバイパスする、少なくとも1つ以上のバイパス電流供給部とを備え

、前記IF信号出力負荷部は、一方の端子が電源に、他方の端子が第一のIF出力端子に接続された第一の負荷抵抗と、一方の端子が電源に、他方の端子が第二のIF出力端子に接続された第二の負荷抵抗とを備え、前記RF信号処理部は、ソース端子がグランドに接地されたRFトランジスタを備え、前記LO信号処理部は、ソース端子が前記RFトランジスタのドレイン端子に、ドレイン端子が前記第一のIF出力端子に接続された第一のLOトランジスタと、ソース端子が前記RFトランジスタのドレイン端子に、ドレイン端子が前記第二のIF出力端子に接続された第二のLOトランジスタと、を備えたものとしたので、利得を低減させることなく、LO信号処理部から発生するフリッカ雑音を低減することにより、低周波における雑音特性を改善することができる。

[0053] 本発明の請求項6にかかるミキサ回路によれば、請求項5に記載のミキサ回路において、前記バイパス電流供給部は、前記第一のIF出力端子と前記RFトランジスタのドレイン端子との間に前記第一のLOトランジスタと並列に接続された第一のバイパス電流源と、前記第二のIF出力端子と前記RFトランジスタのドレイン端子との間に前記第二のLOトランジスタと並列に接続された第二のバイパス電流源と、を備えたものとしたので、RF信号処理部のバイアス電流を小さくすることなく、LO信号処理部のバイアス電流を小さくすることができ、その結果、NFを小さくすることができる。

[0054] 本発明の請求項7にかかるミキサ回路によれば、請求項5に記載のミキサ回路において、前記バイパス電流供給部は、電源と前記RFトランジスタのドレイン端子との間に接続された、前記RFトランジスタのみにバイアス電流を追加供給する第一のバイパス電流源を、備えたものとしたので、RF信号処理部のバイアス電流を小さくすることなく、LO信号処理部のバイアス電流を小さくすることができ、その結果、NFを小さくすることができる。

[0055] 本発明の請求項8にかかるミキサ回路によれば、請求項5に記載のミキサ回路において、前記バイパス電流供給部は、電源と前記RFトランジスタのドレイン端子との間に接続された、前記RFトランジスタのみにバイアス電流を追加供給する第一のバイパス電流源と、前記第一のIF出力端子とグランドとの間に接続された、前記第一の負荷抵抗のみにバイアス電流を追加供給する第二のバイパス電流源と、前記第二のIF出力端子とグランドとの間に接続された、前記第二の負荷抵抗のみにバイアス電流を

追加供給する第三のバイパス電流源と、を備えたものとしたので、RF信号処理部のバイアス電流を小さくすることなく、LO信号処理部のバイアス電流を小さくすることができ、その結果、NFを小さくすることができる。

[0056] 本発明の請求項9にかかるミキサ回路によれば、電源とグランドとの間に、IF信号出力負荷部と、LO信号処理部と、RF信号処理部とが縦続接続されてなるダブルバランスミキサと、前記RF信号処理部にRF信号を供給するためのRF信号供給器と、前記LO信号処理部にLO信号を供給するためのLO信号供給器と、前記LO信号処理部のバイアス電流をバイパスする、少なくとも1つ以上の第一のバイパス電流供給部とを備え、前記IF信号出力負荷部は、一方の端子が電源に接続され、他方の端子が第一のIF出力端子に接続され第一の負荷抵抗と、一方の端子が電源に接続され、他方の端子が第二のIF出力端子に接続され第二の負荷抵抗とを備え、前記RF信号処理部は、ソース端子がグランドに接地された第一のRFトランジスタ、及び第二のRFトランジスタを備え、前記LO信号処理部は、ソース端子が前記第一のRFトランジスタのドレイン端子に、ドレイン端子が前記第一のIF出力端子に接続された第一のLOトランジスタと、ソース端子が前記第一のRFトランジスタのドレイン端子に、ドレイン端子が前記第二のIF出力端子に接続された第二のLOトランジスタと、ソース端子が前記第二のRFトランジスタのドレイン端子に、ドレイン端子が前記第一のIF出力端子に接続された第三のLOトランジスタと、ソース端子が前記第二のRFトランジスタのドレイン端子に、ドレイン端子が前記第二のIF出力端子に接続された第四のLOトランジスタと、を備えたものとしたので、利得を低減させることなく、LO信号処理部から発生するフリッカ雑音を低減することにより、低周波における雑音特性を改善することができる。

[0057] 本発明の請求項10にかかるミキサ回路によれば、請求項9に記載のミキサ回路において、前記バイパス電流供給部は、前記第一のIF出力端子と前記第一のRFトランジスタのドレイン端子との間に前記第一のLOトランジスタと並列に接続された第一のバイパス電流源と、前記第二のIF出力端子と前記第一のRFトランジスタのドレイン端子との間に前記第二のLOトランジスタと並列に接続された第二のバイパス電流源と、前記第一のIF出力端子と前記第二のRFトランジスタのドレイン端子との間に前記第三のLOトランジスタと並列に接続された第三のバイパス電流源と、前記第二のIF出

力端子と前記第二のRFトランジスタのドレイン端子との間に前記第四のLOトランジスタと並列に接続された第四のバイパス電流源と、を備えたものとしたので、RF信号処理部のバイアス電流を小さくすることなく、LO信号処理部のバイアス電流を小さくすることができ、その結果、NFを小さくすることができる。

[0058] 本発明の請求項11にかかるミキサ回路によれば、請求項9に記載のミキサ回路において、前記バイパス電流供給部は、前記第一のIF出力端子と前記第一のRFトランジスタのドレイン端子との間に前記第一のLOトランジスタと並列に接続された第一のバイパス電流源と、前記第二のIF出力端子と前記第二のRFトランジスタのドレイン端子との間に前記第四のLOトランジスタと並列に接続された第二のバイパス電流源と、を備えたものとしたので、RF信号処理部のバイアス電流を小さくすることなく、LO信号処理部のバイアス電流を小さくすることができ、その結果、NFを小さくすることができる。

[0059] 本発明の請求項12にかかるミキサ回路によれば、請求項9に記載のミキサ回路において、前記バイパス電流供給部は、電源と前記第一のRFトランジスタのドレイン端子との間に接続された、前記第一のRFトランジスタのみにバイアス電流を追加供給する第一のバイパス電流源と、電源と前記第二のRFトランジスタのドレイン端子との間に接続された、前記第二のRFトランジスタのみにバイアス電流を追加供給する第二のバイパス電流源と、を備えたものとしたので、RF信号処理部のバイアス電流を小さくすることなく、LO信号処理部のバイアス電流を小さくすることができ、その結果、NFを小さくすることができる。

[0060] 本発明の請求項13にかかるミキサ回路によれば、請求項9に記載のミキサ回路において、前記バイパス電流供給部は、電源と前記第一のRFトランジスタのドレイン端子との間に接続された、前記第一のRFトランジスタのみにバイアス電流を追加供給する第一のバイパス電流源と、電源と前記第二のRFトランジスタのドレイン端子との間に接続された、前記第二のRFトランジスタのみにバイアス電流を追加供給する第二のバイパス電流源と、前記第一のIF出力端子とグランドとの間に接続された、前記第一の負荷抵抗のみにバイアス電流を追加供給する第三のバイパス電流源と、前記第二のIF出力端子とグランドとの間に接続された、前記第二の負荷抵抗のみにバイ

アス電流を追加供給する第四のバイパス電流源と、を備えたものとしたので、RF信号処理部のバイアス電流を小さくすることなく、LO信号処理部のバイアス電流を小さくすることができ、その結果、NFを小さくすることができる。

[0061] 本発明の請求項14にかかるミキサ回路によれば、請求項1、請求項5、請求項9のいずれかに記載のミキサ回路において、前記第一ないし第四のバイパス電流源は、バイアス電圧出力端子を有するバイアス回路と、ゲート端子が前記バイアス電圧出力端子に接続された電流源トランジスタと、を備えたものとしたので、バイアス電流を生成することができる。

[0062] 本発明の請求項15にかかるミキサ回路によれば、請求項1、請求項5、請求項9のいずれかに記載のミキサ回路において、前記ミキサ、前記シングルバランスドミキサ、前記ダブルバランスドミキサは、MOSTランジスタにより構成されるもの、としたので、MOSTランジスタを用い、低周波雑音特性の良好なミキサ回路を得ることができる。

[0063] 本発明の請求項16にかかるミキサ回路によれば、請求項1、請求項5、請求項9のいずれかに記載のミキサ回路において、前記ミキサ回路は、ダイレクトコンバージョン方式の受信システム、あるいはLow-IF方式の受信システムに用いられるものとしたので、低周波雑音特性の良好な、ダイレクトコンバージョン方式の受信システムや、Low-IF方式の受信システムを得ることができる。

#### 図面の簡単な説明

- [0064] [図1]図1は、本発明の実施の形態1によるミキサ回路の構成を示す回路図である。  
[図2]図2は、バイパス電流源構成を示す回路図である。  
[図3]図3は、本発明の実施の形態1によるミキサ回路の効果を示す特性図である。  
[図4]図4は、本発明の実施の形態2によるミキサ回路の構成を示す回路図である。  
[図5]図5は、本発明の実施の形態2によるミキサ回路の効果を示す特性図である。  
[図6]図6は、本発明の実施の形態3によるミキサ回路の構成を示す回路図である。  
[図7]図7は、本発明の実施の形態3によるミキサ回路の効果を示す特性図である。  
[図8]図8は、本発明の実施の形態4によるミキサ回路の構成を示す回路図である。  
[図9]図9は、本発明の実施の形態4によるミキサ回路の効果を示す特性図である。  
[図10]図10は、本発明の実施の形態4によるミキサ回路の、別の構成を示す回路図

である。

[図11]図11は、本発明の実施の形態4によるミキサ回路の効果を示す特性図である

。

[図12]図12は、本発明の実施の形態5によるミキサ回路の構成を示す回路図である

。

[図13]図13は、本発明の実施の形態5によるミキサ回路の効果を示す特性図である

。

[図14]図14は、本発明の実施の形態6によるミキサ回路の構成を示す回路図である

。

[図15]図15は、本発明の実施の形態6によるミキサ回路の効果を示す特性図である

。

[図16]図16は、一般的なダイレクトコンバージョン受信機の構成を示すブロック図である。

[図17]図17は、ミキサの低周波雑音の影響を説明するためのブロック図である。

[図18]図18は、ミキサの低周波雑音の影響を説明するための、ミキサのNF特性図である。

[図19]図19は、従来のミキサ回路の構成を示す回路図である。

[図20]図20は、従来のミキサ回路におけるLOトランジスタのフリッカ雑音占有率を表す特性図である。

## 符号の説明

- [0065] 10, 110 RF信号処理部  
11, 111, 112 RFトランジスタ  
20, 120 LO信号処理部  
21, 121 第一のLOトランジスタ  
22, 122 第二のLOトランジスタ  
123 第三のLOトランジスタ  
124 第四のLOトランジスタ  
30, 130 IF信号出力負荷部

31, 131 第一の負荷抵抗  
32, 132 第二の負荷抵抗  
33, 133 第一のIF出力端子  
34, 134 第二のIF出力端子  
41, 45, 141, 145 第一のバイパス電流源  
42, 46, 142, 146 第二のバイパス電流源  
47, 143, 147 第三のバイパス電流源  
144, 148 第四のバイパス電流源  
43 バイアス回路  
44 電流源トランジスタ  
50, 150 RF信号供給器  
60, 160 LO信号供給器  
VDD 電源  
GND グランド  
201 アンテナ  
202 BPF  
203 LNA  
204a, 204b ミキサ  
205a, 205b LPF  
206a, 206b VGA  
207 90° 位相器  
208 PLL  
209 I出力端子  
210 Q出力端子  
211 RF信号入力端子  
212 IF信号出力端子

発明を実施するための最良の形態

[0066] 以下、本発明の実施の形態について、図面を参照しながら説明する。

(実施の形態1)

図1は、本発明の実施の形態1によるミキサ回路の構成を示す回路図である。

- [0067] 図1に示すように、本実施の形態1によるミキサ回路は、ミキサコア部の基本構成がシングルバランスドミキサで構成されたものであり、電源VDDとグランドGNDとの間に、IF信号出力負荷部30と、LO信号処理部20と、RF信号処理部10とが縦続接続されてなるシングルバランスドミキサと、RF信号処理部10にRF信号を供給するためのRF信号供給器50と、LO信号処理部20にLO信号を供給するためのLO信号供給器60と、LO信号処理部20と並列に接続され、LO信号処理部20のバイアス電流をバイパスする第一、第二のバイパス電流源41、42と、を備えている。
- [0068] IF信号出力負荷部30は、一方の端子が電源VDDに、他方の端子が第一のIF出力端子33に接続される第一の負荷抵抗31と、一方の端子が電源VDDに、他方の端子が第二のIF出力端子34に接続される第二の負荷抵抗32と、を備えている。
- [0069] RF信号処理部10は、ソース端子がグランドGNDに接地されたRFトランジスタ11よりなる。
- [0070] LO信号処理部20は、ソース端子がRFトランジスタ11のドレイン端子に、ドレイン端子が第一のIF出力端子33に接続された第一のLOトランジスタ21と、ソース端子がRFトランジスタ11のドレイン端子に、ドレイン端子が第二のIF出力端子34に接続された第二のLOトランジスタ22と、を備えている。
- [0071] 第一のバイパス電流源41は、第一のIF出力端子33とRFトランジスタ11のドレイン端子との間に第一のLOトランジスタ21と並列に接続されており、第二のバイパス電流源42は、第二のIF出力端子34とRFトランジスタ11のドレイン端子との間に第二のLOトランジスタ22と並列に接続されている。これら第一、第二のバイパス電流源41、42は、例えば、図2に示すように、バイアス回路43と電流源トランジスタ44とを備えたもの、とすることができる。これら第一、第二のバイパス電流源41、42は、請求項6に記述したバイパス電流供給部に含まれるものである。
- [0072] なお、本実施の形態1は、第一、第二のバイパス電流源41、42の構成を限定するものではなく、定電流源特性を実現する全ての素子、及び回路によりバイパス電流を生成するようにしてもよい。

- [0073] 以上のようにミキサコア部の基本構成がシングルバランスドミキサとされる本実施の形態1のミキサ回路について、以下、その動作を説明する。
- [0074] RF信号供給器50から供給されるRF信号は、RFトランジスタ11に入力され、電圧信号から電流信号に変換される。
- [0075] 一方、LO信号供給器60から供給される差動のLO信号は、それぞれ第一、第二のLOトランジスタ21, 22に入力され、第一、第二のLOトランジスタ21, 22はLO信号の周波数でスイッチ動作を繰り返す。
- [0076] これらのスイッチ動作している第一、第二のLOトランジスタ21, 22に、電流変換されたRF信号が入力されると、RF信号とLO信号とが乗算される。これにより、RF信号は周波数変換され、IF信号となり、このIF信号を第一、第二の負荷抵抗31, 32によって電圧変換することにより、第一、第二のIF出力端子33, 34から電圧のIF信号をとりだすことができる。
- [0077] この時、第一のバイパス電流源41は、第一のLOトランジスタ21に流れるバイパス電流を小さくし、第一のLOトランジスタ21から発生するフリッカ雑音を抑制する。同様に、第二のバイパス電流源42は、第二のLOトランジスタ22に流れるバイパス電流を小さくし、第二のLOトランジスタ22から発生するフリッカ雑音を抑制する。
- [0078] 次に、本実施の形態1のミキサ回路によるフリッカ雑音の抑制効果について、従来のミキサ回路と比較しながら説明する。
- [0079] 図3は、本実施の形態1によるミキサ回路の効果を説明するためのNF特性図である。これは、RFトランジスタ11に2mAのバイパス電流を供給し、LO信号供給器60から周波数1GHz、振幅1VのLO信号を供給し、第一、第二のバイパス電流源41, 42それぞれの電流値 $I_b$ を $I_b=1\text{mA}$ とした場合において、第一、第二のIF出力端子33, 34におけるNF特性をプロットしたものである。ただし、従来のミキサ回路との比較のため、第一、第二のバイパス電流源41, 42を備えない場合のNF特性も示した。
- [0080] 従来の、バイパス電流源を備えないミキサ回路では、RFトランジスタ11に流れるバイパス電流の半分が、第一、第二のLOトランジスタ21, 22のそれぞれに、該LOトランジスタのバイパス電流として供給されていた。これに対して、本実施の形態1のミキサ回路では、図1のように、第一、第二のLOトランジスタ21, 22に第一、第二のバイパ

ス電流源41, 42を接続したことにより、RFトランジスタ11に流れるバイアス電流を小さくすることなく、第一、第二のLOトランジスタ21, 22に流れるバイアス電流を小さくすることができる。すなわち、数4の $gm_{RF}$ を小さくすることなく、 $gm_{LO}$ を小さくすることができ、NF特性を改善することができる。例えば、図3に示すように、1kHzにおけるNFを、従来に比べ約10dB改善することができる。

[0081] 以上のように、本実施の形態1によるミキサ回路によれば、第一のLOトランジスタ21と並列に第一のバイパス電流源41を、第二のLOトランジスタ22と並列に第二のバイパス電流源42を、それぞれ接続したので、RFトランジスタ11に流れるバイアス電流を小さくすることなく、第一、第二のLOトランジスタ21, 22に流れるバイアス電流を小さくことができ、低周波におけるNF特性を改善することができる。

[0082] なお、本実施の形態1においては、ミキサコア部の基本構成をシングルバランスドミキサとしたが、本発明はミキサコア部の基本構成を限定するものではなく、これは、デュアルゲートミキサなどであってもよい。

[0083] また、本実施の形態1は、シングルバランスドミキサをMOSTランジスタによる構成としたが、これに限らず、バイポーラトランジスタ、GaAsのMESFET等による構成でもよい。

[0084] (実施の形態2)

図4は、本発明の実施の形態2によるミキサ回路の構成を示す回路図である。なお、図4において、図1と同一または相当する部分には同一符号を付して、詳細な説明を省略する。

[0085] 図4に示すように、本実施の形態2によるミキサ回路は、RFトランジスタ11のみにバイアス電流を追加供給するように、第一のバイパス電流源45を、電源VDDとRFトランジスタ11のドレイン端子との間に接続したものである。この第一のバイパス電流源45は、請求項7に記述したバイパス電流供給部に含まれるものである。

[0086] 第一のバイパス電流源45は、例えば、図2に示すように、バイアス回路43と電流源トランジスタ44とを備えたもの、としてもよい。また、定電流源特性を実現する全ての素子、及び回路によりバイパス電流を生成するようにしてもよい。

[0087] 以上のようにミキサコア部の基本構成がシングルバランスドミキサで構成された本実

施の形態2のミキサ回路について、以下、その動作を説明する。

- [0088] RF信号供給器50から供給されるRF信号は、RFトランジスタ11に入力され、電圧信号から電流信号に変換される。
- [0089] 一方、LO信号供給器60から供給される差動のLO信号は、それぞれ第一、第二のLOトランジスタ21, 22に入力され、第一、第二のLOトランジスタ21, 22はLO信号の周波数でスイッチ動作を繰り返す。
- [0090] これらのスイッチ動作している第一、第二のLOトランジスタ21, 22に電流変換されたRF信号が入力されると、RF信号とLO信号とが乗算される。これにより、RF信号は周波数変換され、IF信号となり、第一、第二の負荷抵抗31, 32で電圧変換されることにより、第一、第二のIF出力端子33, 34から電圧のIF信号をとりだすことができる。
- [0091] この時、バイパス電流源45は、第一、第二のLOトランジスタ21, 22に流れるバイパス電流を小さくし、第一、第二のLOトランジスタ21, 22から発生するフリッカ雑音を抑制する。
- [0092] 次に、本実施の形態2のミキサ回路によるフリッカ雑音の抑制効果について、従来のミキサ回路と比較しながら説明する。

図5は、本実施の形態2によるミキサ回路の効果を説明するためのNF特性図である。これは、RFトランジスタ11に2mAのバイアス電流を供給し、LO信号供給器60から周波数1GHz、振幅1VのLO信号を供給し、第一のバイパス電流源45の電流値 $I_b$ を $I_b=2\text{mA}$ とした場合において、第一、第二のIF出力端子33, 34におけるNF特性をプロットしたものである。ただし、従来のミキサ回路との比較のため、第一のバイパス電流源45を備えない場合のNF特性も示した。

- [0093] 従来の、バイパス電流源を備えないミキサ回路では、RFトランジスタ11に流れるバイアス電流の半分が、第一、第二のLOトランジスタ21, 22のそれぞれに、該LOトランジスタのバイアス電流として供給されていた。これに対して、本実施の形態2のミキサ回路では、図4のように、電源VDDとRFトランジスタ11との間に第一のバイパス電流源45を接続することにより、RFトランジスタ11に流れるバイアス電流を小さくすることなく、第一、第二のLOトランジスタ21, 22に流れるバイアス電流を小さくすることができる。すなわち、数4の $gm_{RF}$ を小さくすることなく、 $gm_{LO}$ を小さくすることができ、NF特

性を改善することができる。例えば、図5に示すように1kHzにおけるNFを、従来に比べ約5dB改善することができる。

[0094] 以上のように、本実施の形態2によるミキサ回路によれば、RFトランジスタ11のみにバイアス電流を追加供給するように、第一のバイパス電流源45を、電源VDDとRFトランジスタ11のドレイン端子間に接続したので、RFトランジスタ11に流れるバイアス電流を小さくすることなく、第一、第二のLOトランジスタ21, 22に流れるバイアス電流を小さくすることができ、低周波におけるNF特性を改善することができる。

[0095] なお、本実施の形態2においては、ミキサコア部の基本構成をシングルバランスドミキサとしたが、本発明はミキサコア部の基本構成を限定するものではなく、これは、デュアルゲートミキサなどであってもよい。

[0096] また、本実施の形態2は、シングルバランスドミキサをMOSトランジスタによる構成としたが、これに限らず、バイポーラトランジスタ、GaAsのMESFET等による構成でもよい。

[0097] (実施の形態3)

図6は、本発明の実施の形態3によるミキサ回路の構成を示す回路図である。なお、図6において、図4と同一または相当する部分には同一符号を付して、詳細な説明を省略する。

[0098] 図6に示すように、本実施の形態3によるミキサ回路は、実施の形態2によるミキサ回路が、RF信号供給器50のみにバイアス電流を追加供給する第一のバイパス電流源45を備えているのに加えて、さらに、第一のIF出力端子33とグラウンドGNDとの間に接続され、第一の負荷抵抗31のみにバイアス電流を追加供給する第二のバイパス電流源46と、第二のIF出力端子34とグラウンドGNDとの間に接続され、第二の負荷抵抗32のみにバイアス電流を追加供給する第三のバイパス電流源47と、を備えている。これら第一〜第三のバイパス電流源45〜47は、請求項8に記述したバイパス電流供給部に含まれるものである。

[0099] 第二、第三のバイパス電流源46, 47は、例えば、図2に示すように、バイアス回路43と電流源トランジスタ44とを備えたもの、としてもよい。また、定電流源特性を実現する全ての素子、及び回路によりバイパス電流を生成するようにしてもよい。

[0100] 以上のようにミキサコア部の基本構成がシングルバランスドミキサで構成された本実施の形態3のミキサ回路について、以下、その動作を説明する。

RF信号供給器50から供給されるRF信号は、RFトランジスタ11に入力され、電圧信号から電流信号に変換される。

[0101] 一方、LO信号供給器60から供給される差動のLO信号は、それぞれ第一、第二のLOトランジスタ21, 22に入力され、第一、第二のLOトランジスタ21, 22はLO信号の周波数でスイッチ動作を繰り返す。

[0102] これらのスイッチ動作している第一、第二のLOトランジスタ21, 22に電流変換されたRF信号が入力されると、RF信号とLO信号とが乗算される。これにより、RF信号は周波数変換され、IF信号となり、第一、第二の負荷抵抗31, 32で電圧変換されることにより、第一、第二のIF出力端子33, 34から電圧のIF信号をとりだすことができる。

[0103] この時、第一のバイパス電流源45及び、第二、第三のバイパス電流源46, 47は、第一、第二のLOトランジスタ21, 22に流れるバイアス電流を小さくし、第一、第二のLOトランジスタ21, 22から発生するフリッカ雑音を抑制する。

[0104] 次に、本実施の形態3のミキサ回路によるフリッカ雑音の抑制効果について、従来のミキサ回路と比較しながら説明する。

[0105] 図7は、本実施の形態3によるミキサ回路の効果を説明するためのNF特性図である。これは、RFトランジスタ11に2mAのバイアス電流を供給し、LO信号供給器60から周波数1GHz、振幅1VのLO信号を供給し、バイパス電流源45の電流値 $I_b$ を $I_b=2\text{mA}$ とし、第二、第三のバイパス電流源46, 47の電流値 $I_b/2$ を $I_b/2=1\text{mA}$ とした場合において、第一、第二のIF出力端子33, 34におけるNF特性をプロットしたものである。ただし、従来のミキサ回路との比較のため、第一のバイパス電流源45及び第二、第三のバイパス電流源46, 47を備えない場合のNF特性も示した。

[0106] 従来の、バイパス電流源を備えないミキサ回路では、第一のバイパス電流源45及び第二、第三のバイパス電流源46, 47を備えないため、RFトランジスタ11に流れるバイアス電流の半分が、第一、第二のLOトランジスタ21, 22のそれぞれに、該LOトランジスタのバイアス電流として供給されていた。これに対して、本実施の形態3のミキサ回路では、図6のように、第一のバイパス電流源45及び第二、第三のバイパス電

流源46, 47を接続したことにより、RFトランジスタ11に流れるバイアス電流を小さくすることなく、第一、第二のLOトランジスタ21, 22に流れるバイアス電流を小さくすることができる。すなわち、数4のgmRFを小さくすることなく、gmLOを小さくすることができる、NF特性を改善することができる。例えば、図7に示すように1kHzにおけるNFを従来に比べ、約10dB改善することができる。

[0107] 以上のように、本実施の形態3によるミキサ回路によれば、電源VDDとRFトランジスタ11のドレイン端子間の第一のバイパス電流源45に加えて、第一のIF出力端子33とグランドGND間に第二のバイパス電流源46を、第二のIF出力端子34とグランドGND間に第三のバイパス電流源47を、備えたので、RFトランジスタ11に流れるバイアス電流を小さくすることなく、第一、第二のLOトランジスタ21, 22に流れるバイアス電流を小さくことができ、低周波におけるNF特性を改善することができる。

[0108] なお、本実施の形態3においては、ミキサコア部の基本構成をシングルバランスドミキサとしたが、本発明はミキサコア部の基本構成を限定するものではなく、これは、デュアルゲートミキサなどであってもよい。

[0109] また、本実施の形態3は、シングルバランスドミキサをMOSトランジスタによる構成としたが、これに限らず、バイポーラトランジスタ、GaAsのMESFET等による構成でもよい。

[0110] さらに、本実施の形態3では、第一のバイパス電流源45および第二、第三のバイパス電流源46, 47の電流値を、それぞれ $I_b=2\text{mA}$ 、 $I_b/2=1\text{mA}$ としたが、これは、任意の電流値であってもよい。

[0111] (実施の形態4)

図8は、本発明の実施の形態4によるミキサ回路の構成を示す回路図である。

図8に示すように、本実施の形態4によるミキサ回路は、ミキサコア部の基本構成がダブルバランスドミキサで構成されたものであり、電源VDDとグランドGNDとの間に、IF信号出力負荷部130と、LO信号処理部120と、RF信号処理部110とが縦続接続されてなるダブルバランスドミキサと、RF信号処理部110にRF信号を供給するためのRF信号供給器150と、LO信号処理部120にLO信号を供給するためのLO信号供給器160と、LO信号処理部120の第一〜第四のLOトランジスタ121〜124とそれぞれ

並列に接続され、LO信号処理部120のバイパス電流をバイパスする第一〜第四のバイパス電流源141〜144と、を備えている。

- [0112] IF信号出力負荷部130は、一方の端子が電源VDDに、他方の端子が第一のIF出力端子133に接続された第一の負荷抵抗131と、一方の端子が電源VDDに、他方の端子が第二のIF出力端子134に接続された第二の負荷抵抗132と、を備えている。
- [0113] RF信号処理部110は、ソース端子がグランドGNDに接地された第一、第二のRFトランジスタ111, 112よりなる。
- [0114] LO信号処理部120は、ソース端子が第一のRFトランジスタ111のドレイン端子に、ドレイン端子が第一のIF出力端子133に接続された第一のLOトランジスタ121と、ソース端子が第一のRFトランジスタ111のドレイン端子に、ドレイン端子が第二のIF出力端子134に接続された第二のLOトランジスタ122と、ソース端子が第二のRFトランジスタ112のドレイン端子に、ドレイン端子が第三のIF出力端子133に接続された第三のLOトランジスタ123と、ソース端子が第二のRFトランジスタ112のドレイン端子に、ドレイン端子が第四のIF出力端子134に接続された第四のLOトランジスタ124と、を備えている。
- [0115] 第一のバイパス電流源141は、第一のIF出力端子133と第一のRFトランジスタ111のドレイン端子との間に第一のLOトランジスタ121と並列に接続されており、第二のバイパス電流源142は、第二のIF出力端子134と第一のRFトランジスタ111のドレイン端子との間に第二のLOトランジスタ122と並列に接続されている。また、第三のバイパス電流源143は、第一のIF出力端子133と第二のRFトランジスタ112のドレイン端子との間に第三のLOトランジスタ123と並列に接続されており、第四のバイパス電流源144は、第二のIF出力端子134と第二のRFトランジスタ112のドレイン端子との間に、第四のLOトランジスタ124と並列に接続されている。また、これら第一〜第四のバイパス電流源141〜144は、請求項10に記述したバイパス電流供給部に含まれるものである。
- [0116] これら第一〜第四のバイパス電流源141〜144は、例えば、図2に示すように、バイパス回路43と電流源トランジスタ44とを備えたもの、としてもよい。また、定電流源特

性を実現する全ての素子、及び回路によりバイパス電流を生成するようにしてもよい。

- [0117] 以上のようにミキサコア部の基本構成がダブルバランسدミキサで構成された本実施の形態4のミキサ回路について、以下、その動作を説明する。
- [0118] RF信号供給器150から供給されるRF信号は、第一、第二のRFトランジスタ111, 112に入力され、電圧信号から電流信号に変換される。
- [0119] 一方、LO信号供給器160から供給される差動のLO信号のうち一方は、第一、第四のLOトランジスタ121, 124に入力され、他方は第二、第三のLOトランジスタ122, 123に入力される。すると第一、第四のLOトランジスタ121, 124、及び第二、第三のLOトランジスタ122, 123は、LO信号の周波数でスイッチ動作を繰り返す。
- [0120] これらのスイッチ動作している第一、第四のLOトランジスタ121, 124、及び第二、第三のLOトランジスタ122, 123に電流変換されたRF信号が入力されると、RF信号とLO信号が乗算される。これにより、RF信号は周波数変換され、IF信号となり、第一、第二の負荷抵抗131, 132で電圧変換されることにより、第一、第二のIF出力端子133, 134から電圧のIF信号をとりだすことができる。
- [0121] この時、バイパス電流源141は、第一のLOトランジスタ121に流れるバイアス電流を小さくし、第一のLOトランジスタ121から発生するフリッカ雑音を抑制する。同様に、第二〜第四のバイパス電流源142〜144は、第二〜第四のLOトランジスタ122〜124に流れるバイアス電流を小さくし、第二〜第四のLOトランジスタ122〜124から発生するフリッカ雑音を抑制する。
- [0122] 次に、本実施の形態4のミキサ回路によるフリッカ雑音の抑制効果について、従来のミキサ回路と比較しながら説明する。
- [0123] 図9は、本実施の形態4によるミキサ回路の効果を説明するためのNF特性図である。これは、第一〜第二のRFトランジスタ111, 112に1mAのバイアス電流を供給し、LO信号供給器160から周波数1GHz、振幅1VのLO信号を供給し、第一〜第四のバイパス電流源141〜144の各々の電流値 $I_b$ を $I_b=1/2\text{mA}$ とした場合において、第一、第二のIF出力端子133, 134におけるNF特性をプロットしたものである。ただし、従来のミキサ回路との比較のため、第一〜第四のバイパス電流源141〜144を備えない場合のNF特性も示した。

- [0124] 従来の、バイパス電流源を備えないミキサ回路では、RFトランジスタに流れるバイアス電流の半分がそれぞれのLOトランジスタのバイアス電流として供給されていた。これに対して、本実施の形態4のミキサ回路では、図8のように、第一〜第四のLOトランジスタ121〜124に第一〜第四のバイパス電流源141〜144を接続したことにより、第一、第二のRFトランジスタ111, 112に流れるバイアス電流を小さくすることなく、第一〜第四のLOトランジスタ121〜124に流れるバイアス電流を小さくすることができる。すなわち、数4のgmRFを小さくすることなく、gmLOを小さくすることができ、NF特性を改善することができる。例えば、図9に示すように1kHzにおけるNFを従来に比べ、約5dB改善することができる。
- [0125] 以上のように本実施の形態4によるミキサ回路によれば、第一のLOトランジスタ121と並列に第一のバイパス電流源141を、第二のLOトランジスタ122と並列に第二のバイパス電流源142を、第三のLOトランジスタ123と並列に第三のバイパス電流源143を、第四のLOトランジスタ124と並列に第四のバイパス電流源144を、それぞれ接続したので、第一、第二のRFトランジスタ111, 112に流れるバイアス電流を小さくすることなく、第一〜第四のLOトランジスタ121〜124に流れるバイアス電流を小さくことができ、低周波におけるNF特性を改善することができる。
- [0126] なお、本実施の形態4においては、第一〜第四のLOトランジスタ121〜124と並列に第一〜第四のバイパス電流源141〜144を接続したが、第一、第四のLOトランジスタ121, 124と並列にバイパス電流源を接続するようにしても良い。すなわち、図10に示したように、第一のIF出力端子133と第一のRFトランジスタ111のドレイン端子との間に第一のLOトランジスタ121と並列に第一のバイパス電流源141を接続し、第二のIF出力端子134と第二のRFトランジスタ112のドレイン端子との間に第四のLOトランジスタ124と並列に第四のバイパス電流源144を接続しても、第一、第二のRFトランジスタ111, 112に流れるバイアス電流を小さくすることなく、第一〜第四のLOトランジスタ121〜124に流れるバイアス電流を小さくことができ、低周波におけるNF特性を改善する効果が得られる。例えば、第一、第二のRFトランジスタ111, 112に1mAのバイアス電流を供給し、LO信号供給器160から周波数1GHz、振幅1VのLO信号を供給し、第一、第四のバイパス電流源141, 144の電流値IbをIb=1mAとした

場合、図11に示すように、1kHzにおいて、第一、第二のIF出力端子133, 134のNFを、従来に比べ約5dB改善することができる。

[0127] また、本実施の形態4においては、ミキサコア部の基本構成をダブルバランスドミキサとしたが、本発明はミキサコア部の基本構成を限定するものではなく、これは、デュアルゲートミキサなどであってもよい。

[0128] さらに、本実施の形態4は、ダブルバランスドミキサをMOSTランジスタによる構成としたが、これに限らず、バイポーラトランジスタ、GaAsのMESFET等による構成でもよい。

[0129] (実施の形態5)

図12は、本発明の実施の形態5によるミキサ回路の構成を示す回路図である。なお、図12において、図8と同一または相当する部分には同一符号を付して、詳細な説明を省略する。

[0130] 図12に示すように、本実施の形態5によるミキサ回路は、第一、第二のRFトランジスタ111, 112のみにバイアス電流を追加供給するように、第一のバイパス電流源145を、電源VDDと第一のRFトランジスタ111のドレイン端子との間に、第二のバイパス電流源146を、電源VDDと第二のRFトランジスタ112のドレイン端子との間に、それぞれ接続したものである。これら第一、第二のバイパス電流源145, 146は、請求項12に記述したバイパス電流供給部に含まれるものである。

[0131] 第一、第二のバイパス電流源145, 146は、例えば、図2に示すように、バイアス回路43と電流源トランジスタ44とを備えたもの、としてもよい。また、定電流源特性を実現する全ての素子、及び回路によりバイパス電流を生成するようにしてもよい。

[0132] 以上のようにミキサコア部の基本構成がダブルバランスドミキサで構成された本実施の形態5のミキサ回路について、以下、その動作を説明する。

[0133] RF信号供給器150から供給される差動のRF信号は、第一、第二のRFトランジスタ111, 112に入力され、電圧信号から電流信号に変換される。

[0134] 一方、LO信号供給器160から供給される差動のLO信号のうち一方は、第一、第四のLOトランジスタ121, 124に入力され、他方は第二、第三のLOトランジスタ122, 123に入力される。すると第一、第四のLOトランジスタ121, 124、及び第二、第三の

LOトランジスタ122, 123は、LO信号の周波数でスイッチ動作を繰り返す。

- [0135] これらのスイッチ動作している第一、第四のLOトランジスタ121, 124、及び第二、第三のLOトランジスタ122, 123に電流変換されたRF信号が入力されると、RF信号とLO信号が乗算される。これにより、RF信号は周波数変換され、IF信号となり、第一、第二の負荷抵抗131, 132で電圧変換されることにより、第一、第二のIF出力端子133, 134から電圧のIF信号をとりだすことができる。
- [0136] この時、第一のバイパス電流源145は、第一、第二のLOトランジスタ121, 122に流れるバイアス電流を小さくし、第一、第二のLOトランジスタ121, 122から発生するフリッカ雑音を抑制する。同様に、第二のバイパス電流源146は、第三、第四のLOトランジスタ123, 124に流れるバイアス電流を小さくし、第三、第四のLOトランジスタ123, 124から発生するフリッカ雑音を抑制する。
- [0137] 次に、本実施の形態5のミキサ回路によるフリッカ雑音の抑制効果について、従来のミキサ回路と比較しながら説明する。
- [0138] 図13は、本実施の形態5によるミキサ回路の効果を説明するためのNF特性図である。これは、第一、第二のRFトランジスタ111, 112に1mAのバイアス電流を供給し、LO信号供給器160から周波数1GHz、振幅1VのLO信号を供給し、第一、第二のバイパス電流源145, 146の電流値 $I_b$ を $I_b=1\text{mA}$ とした場合において、第一、第二のIF出力端子133, 134におけるNF特性をプロットしたものである。ただし、従来のミキサ回路との比較のため、第一、第二のバイパス電流源145, 146を備えない場合のNF特性も示した。
- [0139] 従来の、バイパス電流源を備えないミキサ回路では、RFトランジスタに流れるバイアス電流の半分がそれぞれのLOトランジスタのバイアス電流として供給されていた。これに対して、本実施の形態5のミキサ回路では、図12のように、電源VDDと第一、第二のRFトランジスタ111, 112との間に第一、第二のバイパス電流源145, 146を接続することにより、第一、第二のRFトランジスタ111, 112に流れるバイアス電流を小さくすることなく、第一〜第四のLOトランジスタ121〜124に流れるバイアス電流を小さくすることができる。すなわち、数4の $gm_{RF}$ を小さくすることなく、 $gm_{LO}$ を小さくすることができ、NF特性を改善することができる。例えば、図13に示すように1kHzにおけ

るNFを従来に比べ、約4dB改善することができる。

[0140] 以上のように、本実施の形態5によるミキサ回路によれば、第一、第二のRFトランジスタ111, 112のみにバイアス電流を追加供給するように、第一のバイパス電流源145を、電源VDDと第一のRFトランジスタ111のドレイン端子間に、第二のバイパス電流源146を、電源VDDと第二のRFトランジスタ112のドレイン端子間に、それぞれ接続したので、第一、第二のRFトランジスタ111, 112に流れるバイアス電流を小さくすることなく、第一〜第四のLOトランジスタ121〜124に流れるバイアス電流を小さくすることができ、低周波におけるNF特性を改善することができる。

[0141] なお、本実施の形態5においては、ミキサコア部の基本構成をダブルバランスドミキサとしたが、本発明はミキサコア部の基本構成を限定するものではなく、これは、デュアルゲートミキサなどであってもよい。

[0142] また、本実施の形態5は、ダブルバランスドミキサをMOSトランジスタによる構成としたが、これに限らず、バイポーラトランジスタ、GaAsのMESFET等による構成でもよい。

[0143] (実施の形態6)

図14は、本発明の実施の形態6によるミキサ回路の構成を示す回路図である。なお、図14において、図12と同一または相当する部分には同一符号を付して、詳細な説明を省略する。

[0144] 図14に示すように、本実施の形態3によるミキサ回路は、実施の形態5によるミキサ回路が第一、第二のRFトランジスタ111, 112のみにバイアス電流を追加供給する第一、第二のバイアス電流源145, 146を備えているのに加えて、第一のIF出力端子133とグラウンドGNDとの間に接続され、第一の負荷抵抗131のみにバイアス電流を追加供給する第三のバイパス電流源147と、第二のIF出力端子134とグラウンドGNDとの間に接続され、第二の負荷抵抗132のみにバイアス電流を追加供給する第四のバイパス電流源148と、を備えている。これら第一〜第四のバイパス電流源145〜148は、請求項13に記述したバイパス電流供給部に含まれるものである。

[0145] 第三、第四のバイパス電流源147, 148は、例えば、図2に示すように、バイアス回路43と電流源トランジスタ44とを備えたもの、としてもよい。また、定電流源特性を実

現する全ての素子、及び回路によりバイパス電流を生成するようにしてもよい。

[0146] 以上のようにミキサコア部の基本構成がダブルバランスドミキサで構成された本実施の形態6のミキサ回路について、以下、その動作を説明する。

[0147] RF信号供給器150から供給される差動のRF信号は、第一、第二のRFトランジスタ111, 112に入力され、電圧信号から電流信号に変換される。

[0148] 一方、LO信号供給器160から供給される差動のLO信号のうち一方は、第一、第四のLOトランジスタ121, 124に入力され、他方は第二、第三のLOトランジスタ122, 123に入力される。すると第一、第四のLOトランジスタ121, 124、及び第二、第三のLOトランジスタ122, 123は、LO信号の周波数でスイッチ動作を繰り返す。

[0149] これらのスイッチ動作している第一、第四のLOトランジスタ121, 124、及び第二、第三のLOトランジスタ122, 123に電流変換されたRF信号が入力されると、RF信号とLO信号が乗算される。これにより、RF信号は周波数変換され、IF信号となり、第一、第二の負荷抵抗131, 132で電圧変換されることにより、第一、第二のIF出力端子133, 134から電圧のIF信号をとりだすことができる。

[0150] この時、第一のバイパス電流源145および第三のバイパス電流源147は、第一、第二のLOトランジスタ121, 122に流れるバイパス電流を小さくし、第一、第二のLOトランジスタ121, 122から発生するフリッカ雑音を抑制する。同様に、第二のバイパス電流源146および第四のバイパス電流源148は、第三、第四のLOトランジスタ123, 124に流れるバイパス電流を小さくし、第三、第四のLOトランジスタ123, 124から発生するフリッカ雑音を抑制する。

[0151] 次に、本実施の形態6のミキサ回路によるフリッカ雑音の抑制効果について、従来のミキサ回路と比較しながら説明する。

図15は、本実施の形態6によるミキサ回路の効果を説明するためのNF特性図である。これは、第一、第二のRFトランジスタ111, 112に1mAのバイパス電流を供給し、LO信号供給器160から周波数1GHz、振幅1VのLO信号を供給し、第一、第二のバイパス電流源145, 146及び第三、第四のバイパス電流源147, 148の電流値 $I_b$ を $I_b=1mA$ とした場合において、第一、第二のIF出力端子133, 134におけるNF特性をプロットしたものである。ただし、従来のミキサ回路との比較のため、第一、第二のバイ

パス電流源145, 146及び第三、第四のバイパス電流源147, 148を備えない場合のNF特性も示した。

[0152] 従来のバイパス電流源を備えないミキサ回路では、第一、第二のバイパス電流源及び第三、第四のバイパス電流源を備えないため、RFトランジスタに流れるバイアス電流の半分がそれぞれのLOトランジスタのバイアス電流として供給されていた。これに対して、本実施の形態6のミキサ回路では、図14のように、第一、第二のバイパス電流源145, 146及び第三、第四のバイパス電流源147, 148を接続したことにより、第一、第二のRFトランジスタ111, 112に流れるバイアス電流を小さくすることなく、第一―第四のLOトランジスタ121―124に流れるバイアス電流を小さくすることができる。すなわち、数4のgmRFを小さくすることなく、gmLOを小さくすることができ、NF特性を改善することができる。例えば、図15に示すように1kHzにおけるNFを従来に比べ、約5dB改善することができる。

[0153] 以上のように、本実施の形態6によるミキサ回路によれば、電源VDDと第一、第二のRFトランジスタ111, 112のドレイン端子間の第一、第二のバイパス電流源145, 146に加えて、第一のIF出力端子133とグランドGND間に第三のバイパス電流源147を、第二のIF出力端子134とグランドGND間に第四のバイパス電流源148を、備えたので、第一、第二のRFトランジスタ111, 112に流れるバイアス電流を小さくすることなく、第一―第四のLOトランジスタ121―124に流れるバイアス電流を小さくことができ、低周波におけるNF特性を改善することができる。

[0154] なお、本実施の形態6においては、ミキサコア部の基本構成をダブルバランスドミキサとしたが、本発明はミキサコア部の基本構成を限定するものではなく、これは、デュアルゲートミキサなどであってもよい。

[0155] また、本実施の形態6は、ダブルバランスドミキサをMOSTランジスタによる構成としたが、これに限らず、バイポーラトランジスタ、GaAsのMESFET等による構成でもよい。

[0156] さらに、本実施の形態6では、第一、第二のバイパス電流源145, 146の電流値と、第三、第四のバイパス電流源147, 148の電流値とを、それぞれ $I_b=1\text{mA}$ としたが、これは、任意の電流値であってもよい。

### 産業上の利用可能性

[0157] 本発明にかかるミキサ回路は、優れた低周波雑音特性を有し、ダイレクトコンバージョン方式やLow-IF方式などを用いた無線通信システムのダウンコンバートミキサとして有用である。

### 請求の範囲

- [1] 電源とグランドとの間に、IF信号出力負荷部と、LO信号処理部と、RF信号処理部とが縦続接続されてなるミキサと、  
前記RF信号処理部にRF信号を供給するためのRF信号供給器と、  
前記LO信号処理部にLO信号を供給するためのLO信号供給器と、  
前記LO信号処理部のバイアス電流をバイパスする、少なくとも1つ以上のバイパス電流供給部と、を備えた、  
ことを特徴とするミキサ回路。
- [2] 請求項1に記載のミキサ回路において、  
前記バイパス電流供給部は、前記LO信号処理部と並列に接続される、  
ことを特徴とするミキサ回路。
- [3] 請求項1に記載のミキサ回路において、  
前記バイパス電流供給部は、前記RF信号処理部のみにバイアス電流を追加供給する、  
ことを特徴とするミキサ回路。
- [4] 請求項1に記載のミキサ回路において、  
前記バイパス電流供給部は、RF信号処理部のみにバイアス電流を追加供給する第一のバイパス電流源と、IF信号出力負荷部のみにバイアス電流を追加供給する第二のバイパス電流源と、を備えた、  
ことを特徴とするミキサ回路。
- [5] 電源とグランドとの間に、IF信号出力負荷部と、LO信号処理部と、RF信号処理部とが縦続接続されてなるシングルバランスドミキサと、  
前記RF信号処理部にRF信号を供給するためのRF信号供給器と、  
前記LO信号処理部にLO信号を供給するためのLO信号供給器と、  
前記LO信号処理部のバイアス電流をバイパスする、少なくとも1つ以上のバイパス電流供給部とを備え、  
前記IF信号出力負荷部は、一方の端子が電源に、他方の端子が第一のIF出力端子に接続された第一の負荷抵抗と、一方の端子が電源に、他方の端子が第二のIF

出力端子に接続された第二の負荷抵抗とを備え、

前記RF信号処理部は、ソース端子がグランドに接地されたRFトランジスタを備え、

前記LO信号処理部は、ソース端子が前記RFトランジスタのドレイン端子に、ドレイン端子が前記第一のIF出力端子に接続された第一のLOトランジスタと、ソース端子が前記RFトランジスタのドレイン端子に、ドレイン端子が前記第二のIF出力端子に接続された第二のLOトランジスタと、を備えた、

ことを特徴とするミキサ回路。

[6] 請求項5に記載のミキサ回路において、

前記バイパス電流供給部は、

前記第一のIF出力端子と前記RFトランジスタのドレイン端子との間に前記第一のLOトランジスタと並列に接続された第一のバイパス電流源と、

前記第二のIF出力端子と前記RFトランジスタのドレイン端子との間に前記第二のLOトランジスタと並列に接続された第二のバイパス電流源と、を備えた、

ことを特徴とするミキサ回路。

[7] 請求項5に記載のミキサ回路において、

前記バイパス電流供給部は、電源と前記RFトランジスタのドレイン端子との間に接続された、前記RFトランジスタのみにバイアス電流を追加供給する第一のバイパス電流源を備えた、

ことを特徴とするミキサ回路。

[8] 請求項5に記載のミキサ回路において、

前記バイパス電流供給部は、

電源と前記RFトランジスタのドレイン端子との間に接続された、前記RFトランジスタのみにバイアス電流を追加供給する第一のバイパス電流源と、

前記第一のIF出力端子とグランドとの間に接続された、前記第一の負荷抵抗のみにバイアス電流を追加供給する第二のバイパス電流源と、

前記第二のIF出力端子とグランドとの間に接続された、前記第二の負荷抵抗のみにバイアス電流を追加供給する第三のバイパス電流源と、を備えた、

ことを特徴とするミキサ回路。

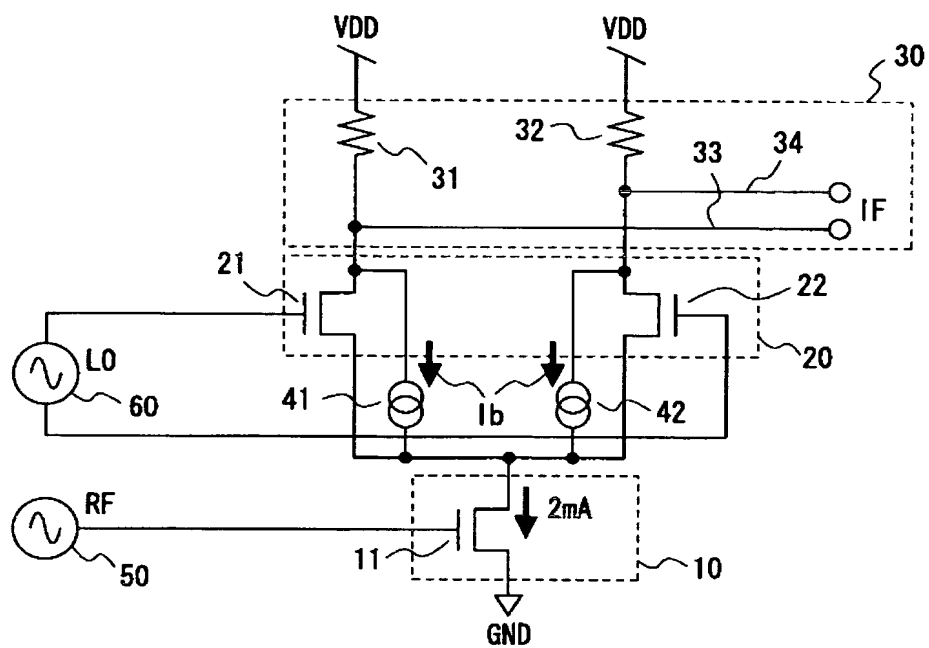
- [9] 電源とグランドとの間に、IF信号出力負荷部と、LO信号処理部と、RF信号処理部とが縦続接続されてなるダブルバランスドミキサと、  
前記RF信号処理部にRF信号を供給するためのRF信号供給器と、  
前記LO信号処理部にLO信号を供給するためのLO信号供給器と、  
前記LO信号処理部のバイアス電流をバイパスする、少なくとも1つ以上の第一のバイパス電流供給部とを備え、  
前記IF信号出力負荷部は、一方の端子が電源に接続され、他方の端子が第一のIF出力端子に接続された第一の負荷抵抗と、一方の端子が電源に接続され、他方の端子が第二のIF出力端子に接続された第二の負荷抵抗とを備え、  
前記RF信号処理部は、ソース端子がグランドに接地された第一のRFトランジスタ、及び第二のRFトランジスタを備え、  
前記LO信号処理部は、ソース端子が前記第一のRFトランジスタのドレイン端子に、ドレイン端子が前記第一のIF出力端子接続された第一のLOトランジスタと、ソース端子が前記第一のRFトランジスタのドレイン端子に、ドレイン端子が前記第二のIF出力端子に接続された第二のLOトランジスタと、ソース端子が前記第二のRFトランジスタのドレイン端子に、ドレイン端子が前記第一のIF出力端子に接続された第三のLOトランジスタと、ソース端子が前記第二のRFトランジスタのドレイン端子に、ドレイン端子が前記第二のIF出力端子に接続された第四のLOトランジスタと、を備えた、  
ことを特徴とするミキサ回路。
- [10] 請求項9に記載のミキサ回路において、  
前記バイパス電流供給部は、  
前記第一のIF出力端子と前記第一のRFトランジスタのドレイン端子との間に前記第一のLOトランジスタと並列に接続された第一のバイパス電流源と、  
前記第二のIF出力端子と前記第一のRFトランジスタのドレイン端子との間に前記第二のLOトランジスタと並列に接続された第二のバイパス電流源と、  
前記第一のIF出力端子と前記第二のRFトランジスタのドレイン端子との間に前記第三のLOトランジスタと並列に接続された第三のバイパス電流源と、  
前記第二のIF出力端子と前記第二のRFトランジスタのドレイン端子との間に前記第

四のLOトランジスタと並列に接続された第四のバイパス電流源と、を備えた、  
ことを特徴とするミキサ回路。

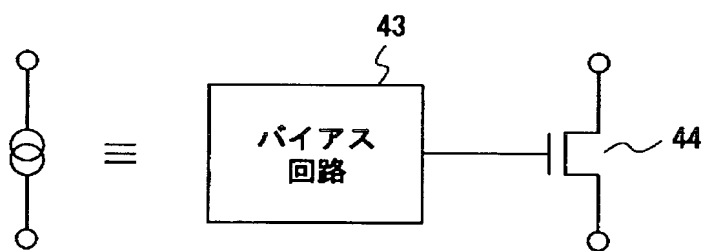
- [11] 請求項9に記載のミキサ回路において、  
前記バイパス電流供給部は、  
前記第一のIF出力端子と前記第一のRFトランジスタのドレイン端子との間に前記第一のLOトランジスタと並列に接続された第一のバイパス電流源と、  
前記第二のIF出力端子と前記第二のRFトランジスタのドレイン端子との間に前記第四のLOトランジスタと並列に接続された第二のバイパス電流源と、を備えた、  
ことを特徴とするミキサ回路。
- [12] 請求項9に記載のミキサ回路において、  
前記バイパス電流供給部は、  
電源と前記第一のRFトランジスタのドレイン端子との間に接続された、前記第一のRFトランジスタのみにバイアス電流を追加供給する第一のバイパス電流源と、  
電源と前記第二のRFトランジスタのドレイン端子との間に接続された、前記第二のRFトランジスタのみにバイアス電流を追加供給する第二のバイパス電流源と、を備えた、  
ことを特徴とするミキサ回路。
- [13] 請求項9に記載のミキサ回路において、  
前記バイパス電流供給部は、  
電源と前記第一のRFトランジスタのドレイン端子との間に接続された、前記第一のRFトランジスタのみにバイアス電流を追加供給する第一のバイパス電流源と、  
電源と前記第二のRFトランジスタのドレイン端子との間に接続された、前記第二のRFトランジスタのみにバイアス電流を追加供給する第二のバイパス電流源と、  
前記第一のIF出力端子とグランドとの間に接続された、前記第一の負荷抵抗のみにバイアス電流を追加供給する第三のバイパス電流源と、  
前記第二のIF出力端子とグランドとの間に接続された、前記第二の負荷抵抗のみにバイアス電流を追加供給する第四のバイパス電流源と、を備えた、  
ことを特徴とするミキサ回路。

- [14] 請求項1、請求項5、請求項9のいずれかに記載のミキサ回路において、  
前記第一ないし第四のバイパス電流源は、  
バイアス電圧出力端子を有するバイアス回路と、  
ゲート端子が前記バイアス電圧出力端子に接続された電流源トランジスタと、を備えた  
ことを特徴とするミキサ回路。
- [15] 請求項1、請求項5、請求項9のいずれかに記載のミキサ回路において、  
前記ミキサ、前記シングルバランスドミキサ、前記ダブルバランスドミキサは、MOST  
トランジスタにより構成される、  
ことを特徴とするミキサ回路。
- [16] 請求項1、請求項5、請求項9のいずれかに記載のミキサ回路において、  
前記ミキサ回路は、ダイレクトコンバージョン方式の受信システム、あるいはLow-IF  
方式の受信システムに用いられる、  
ことを特徴とするミキサ回路。

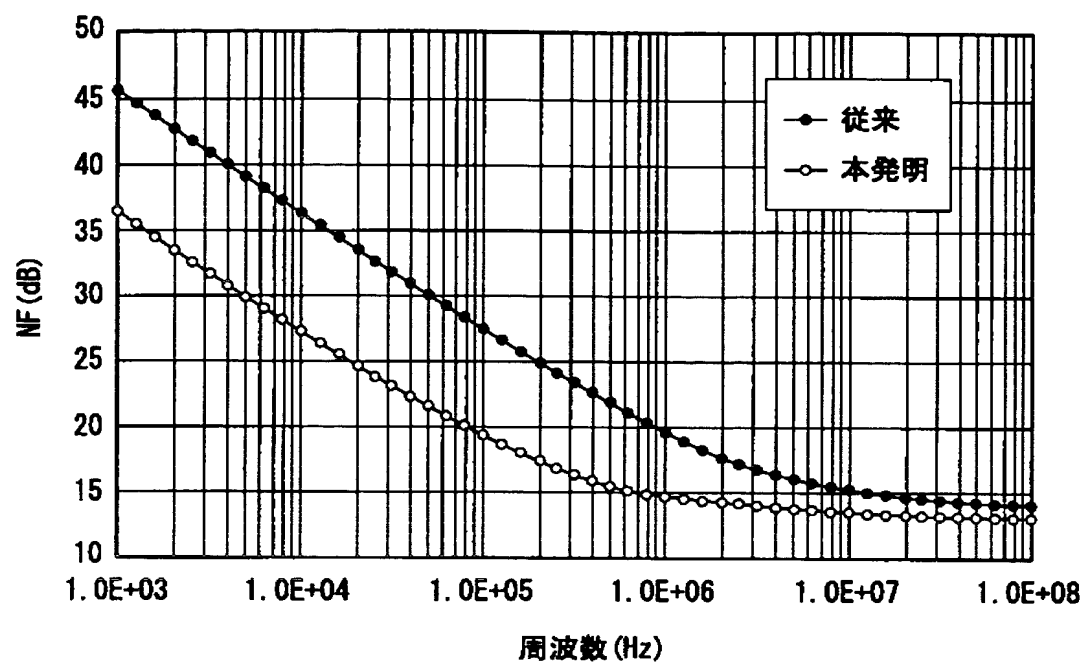
[図1]



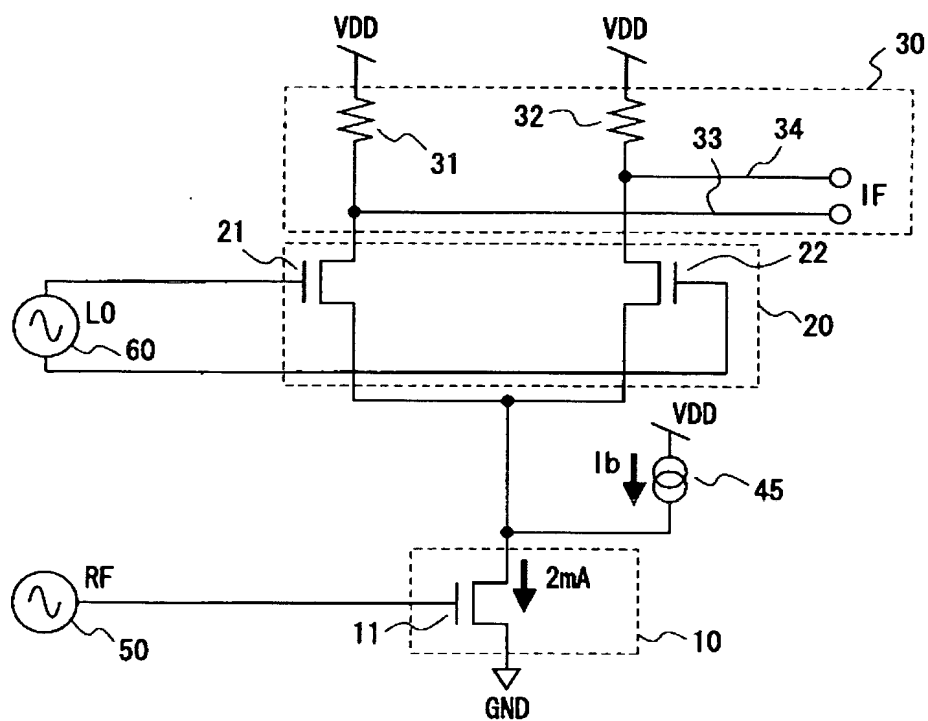
[図2]



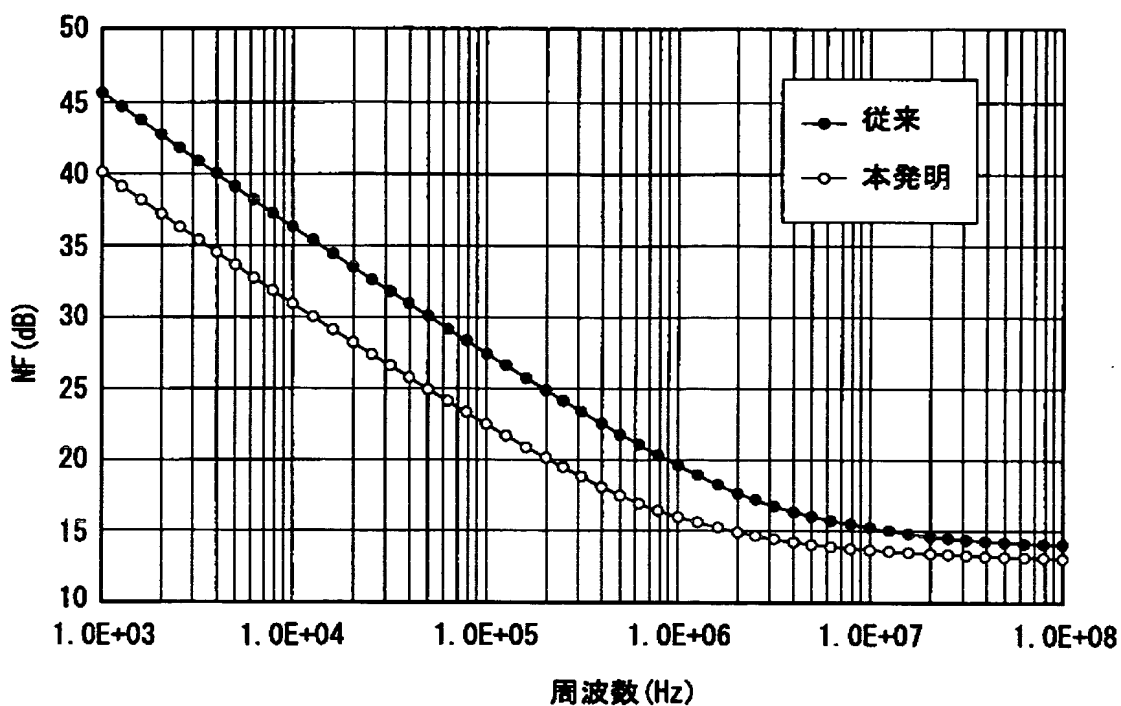
[図3]



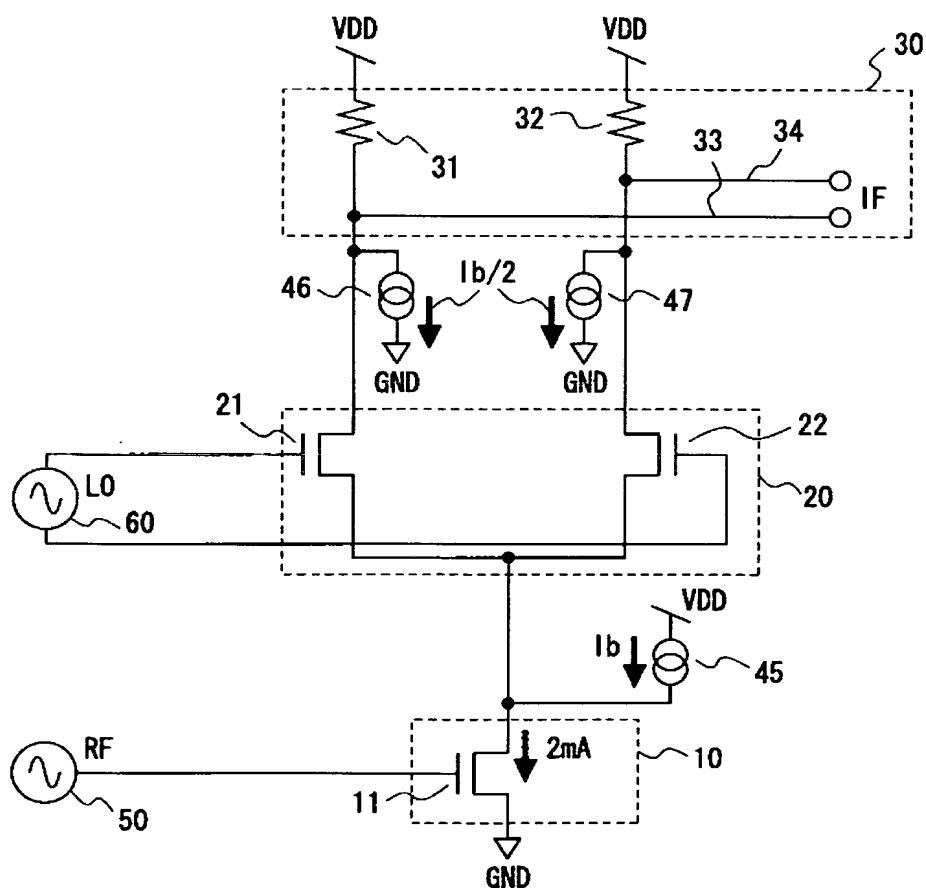
[図4]



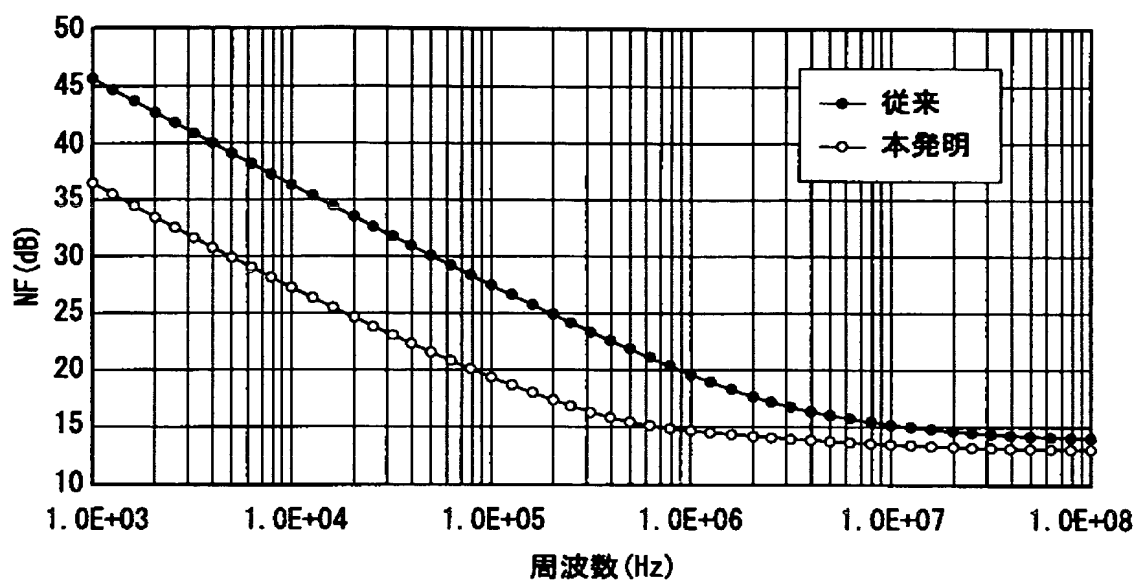
[図5]



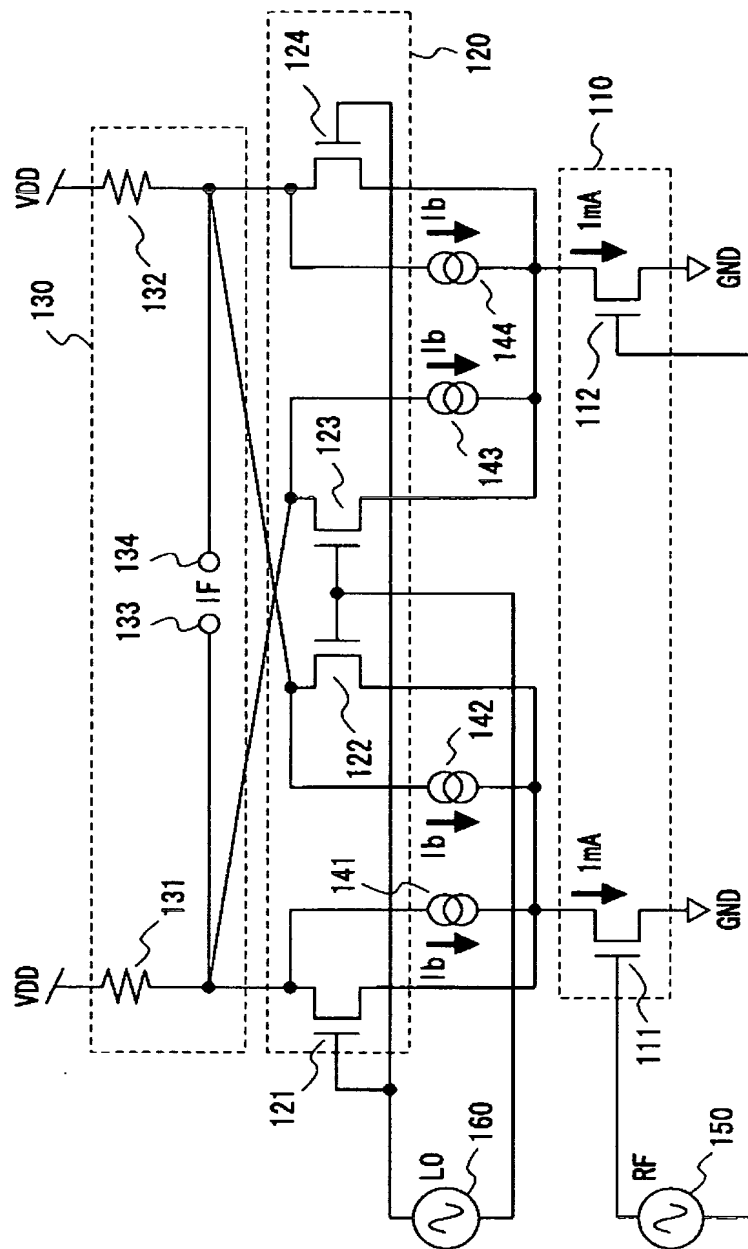
[図6]



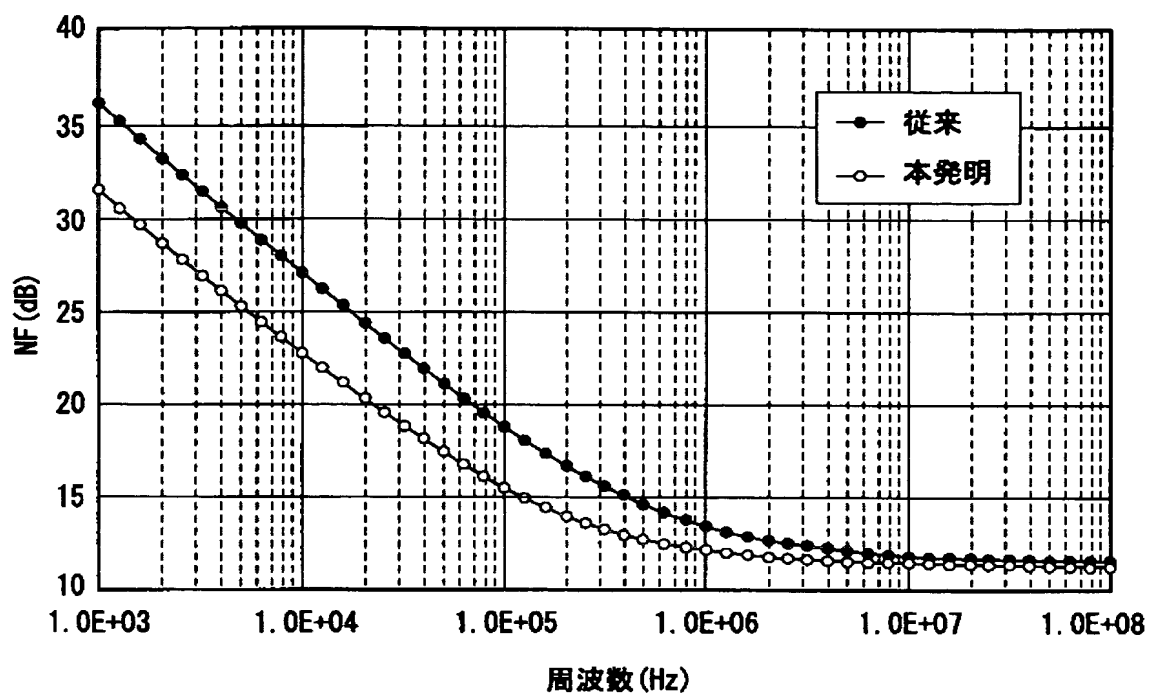
[図7]



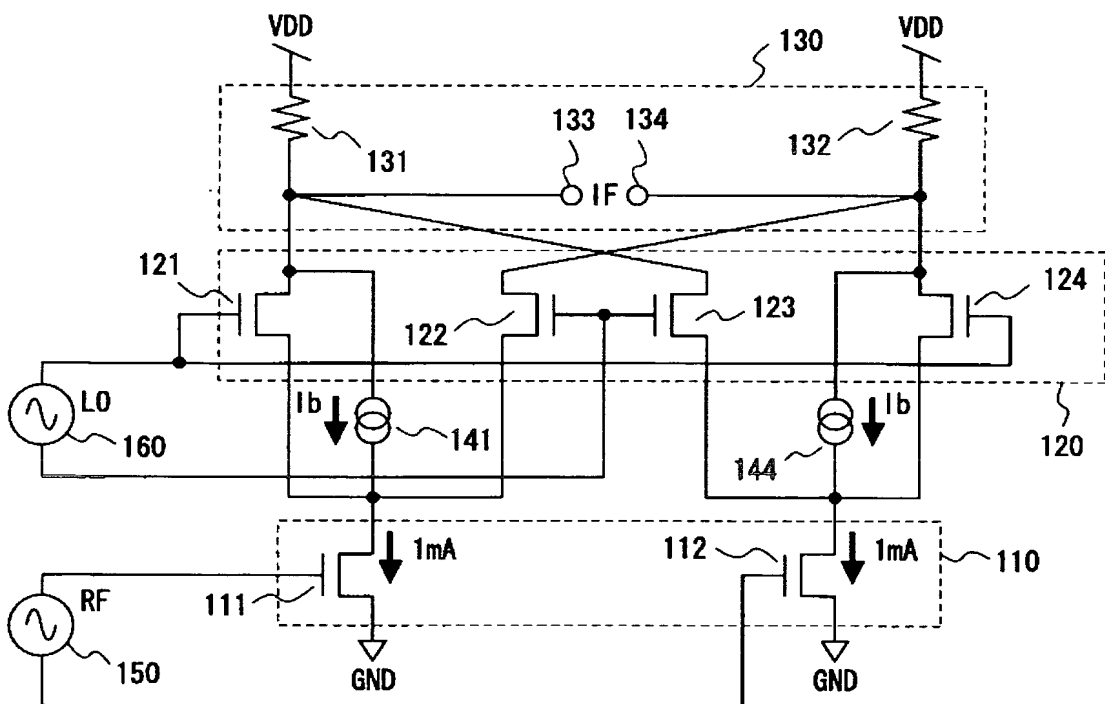
[図8]



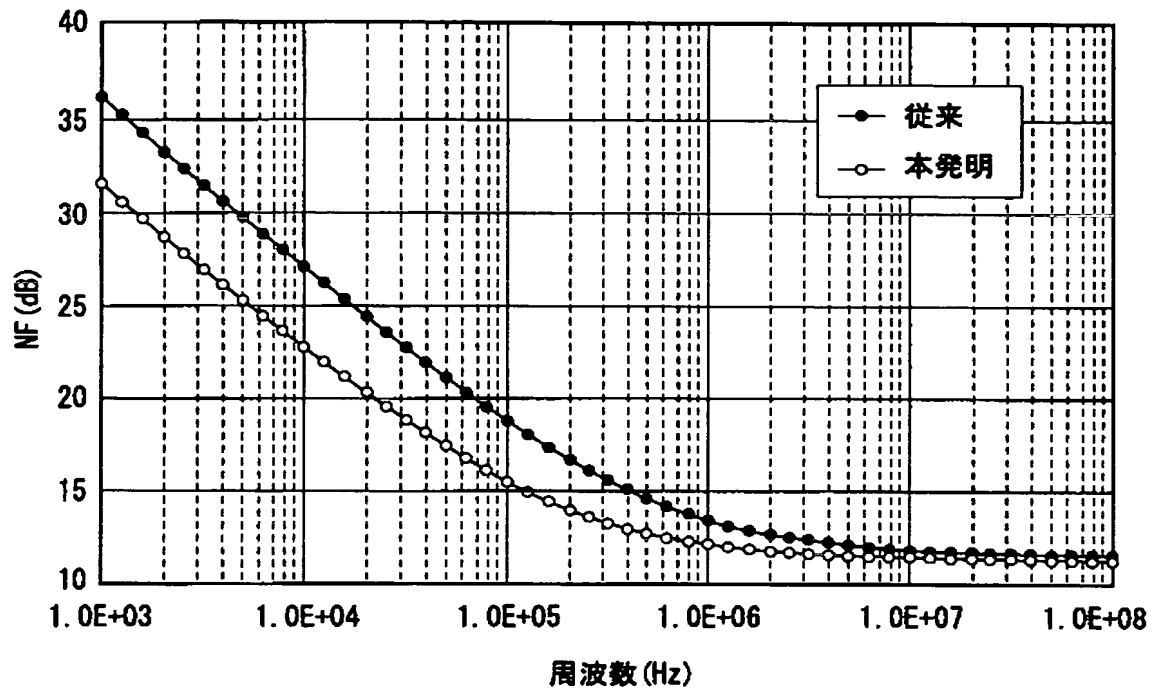
[図9]



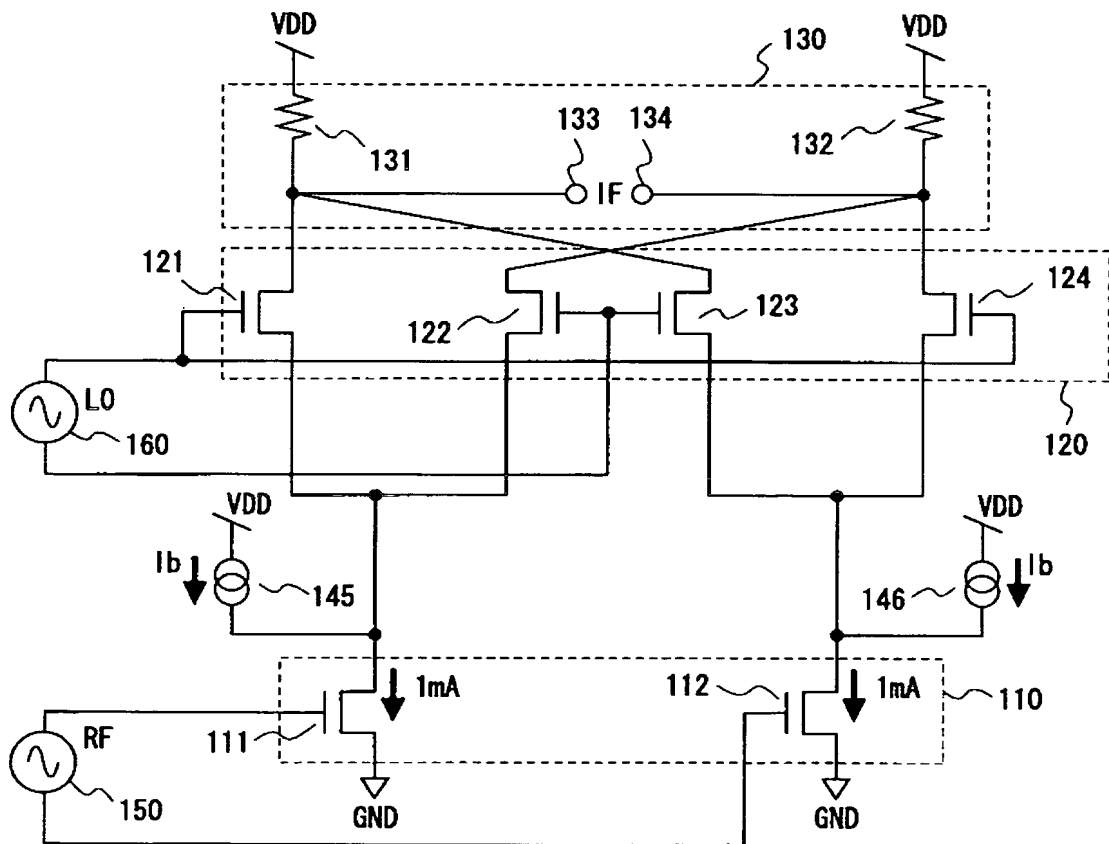
[図10]



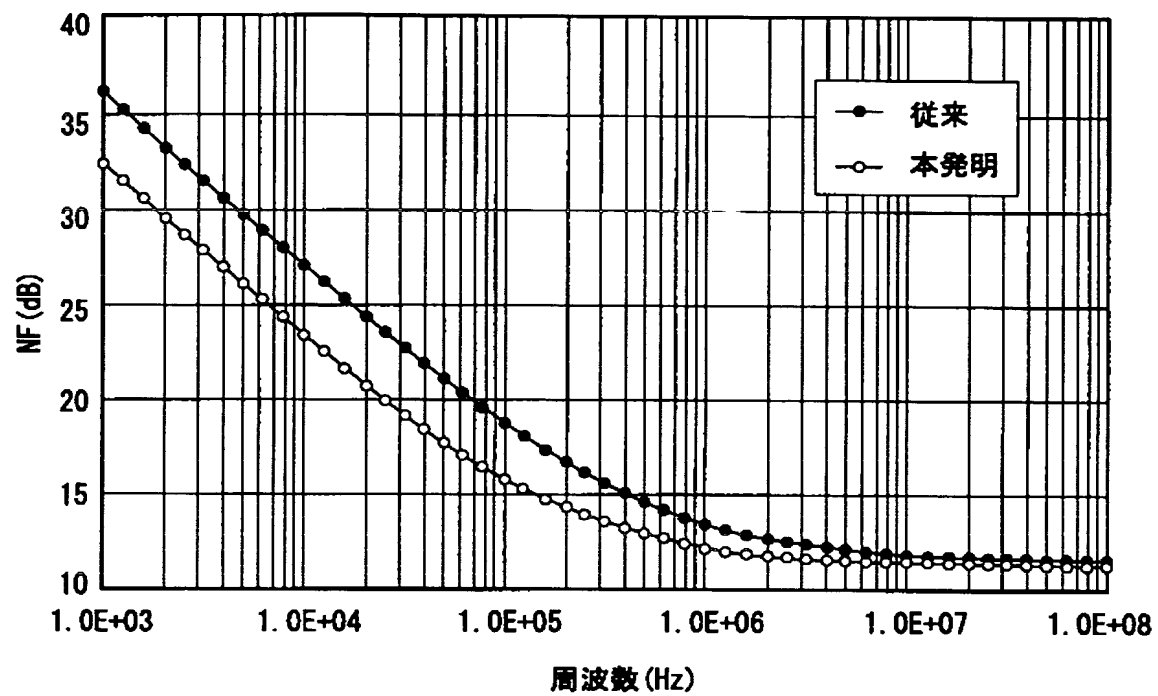
[図11]



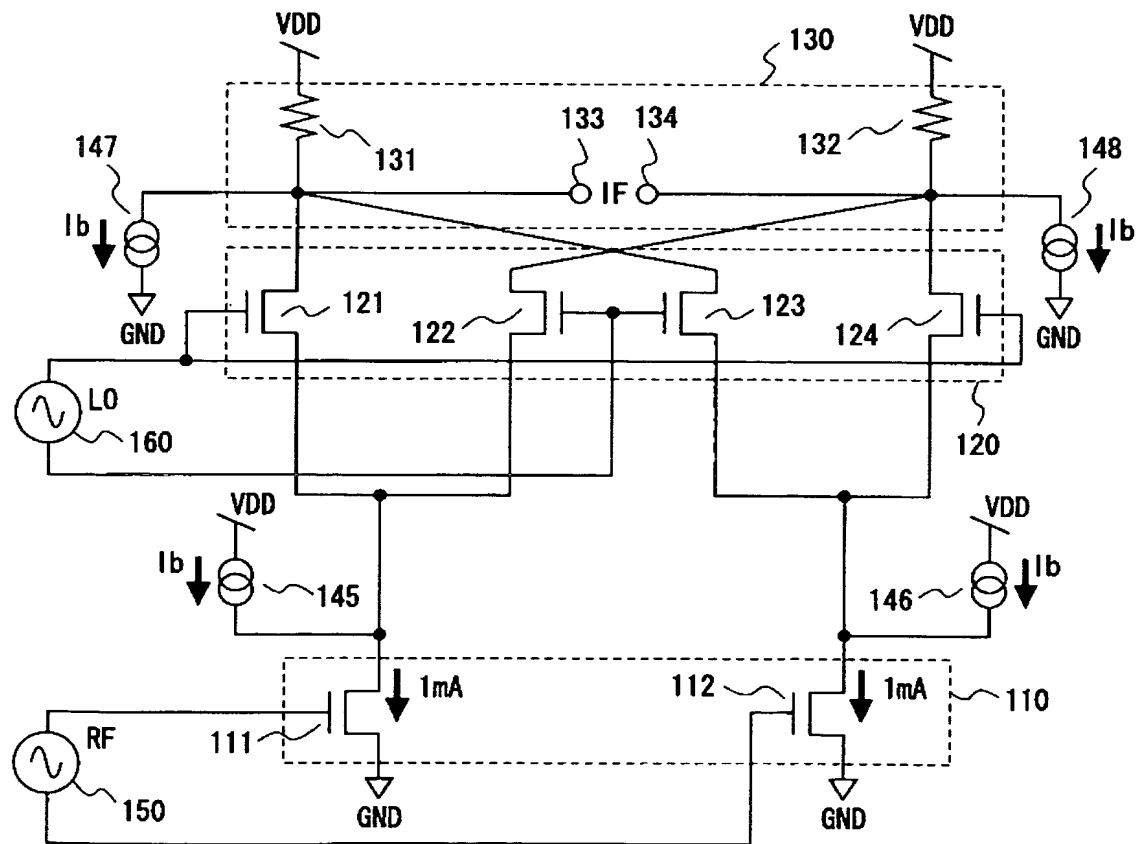
[図12]



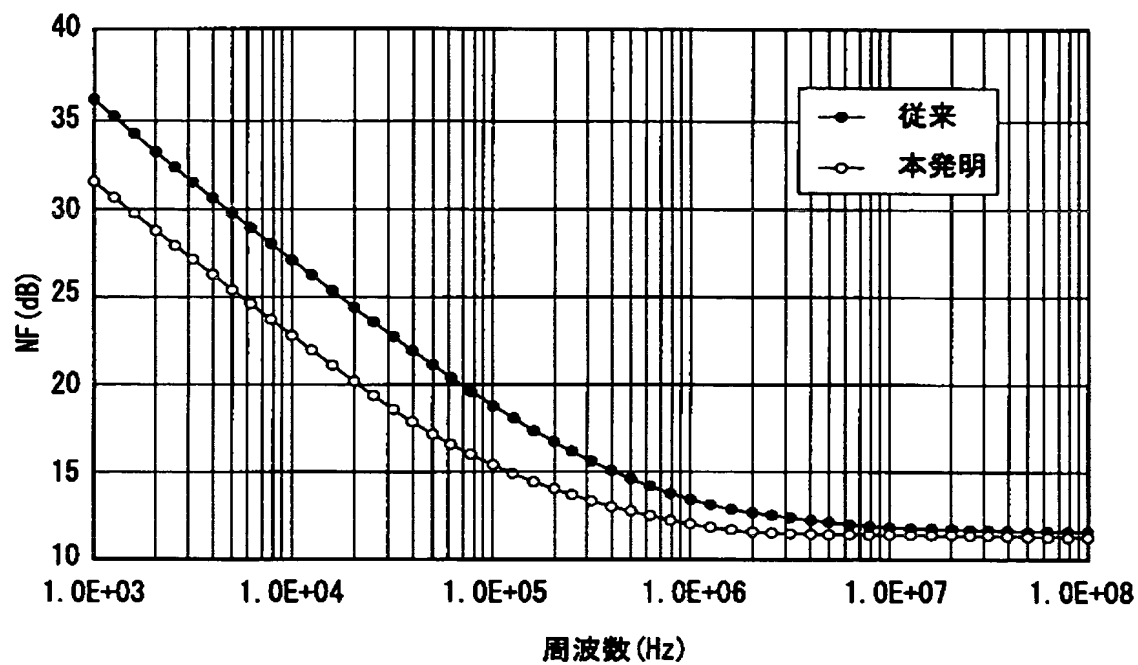
[図13]



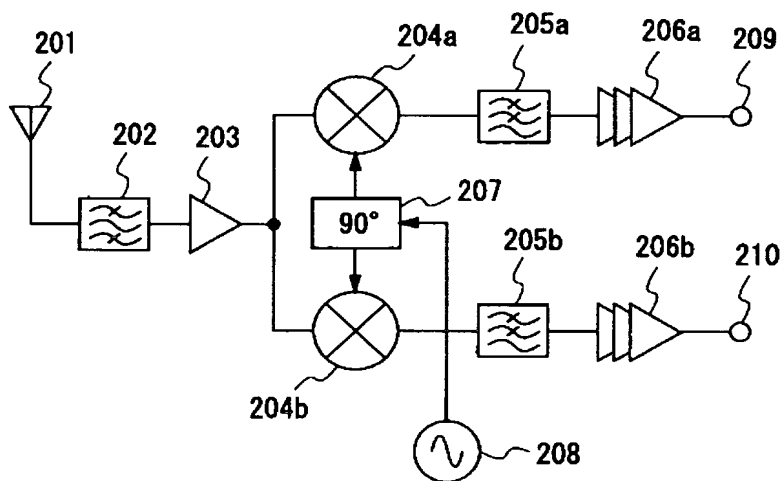
[図14]



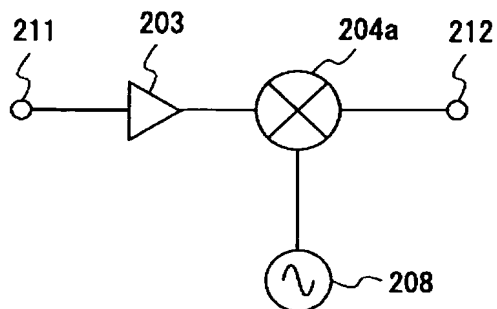
[図15]



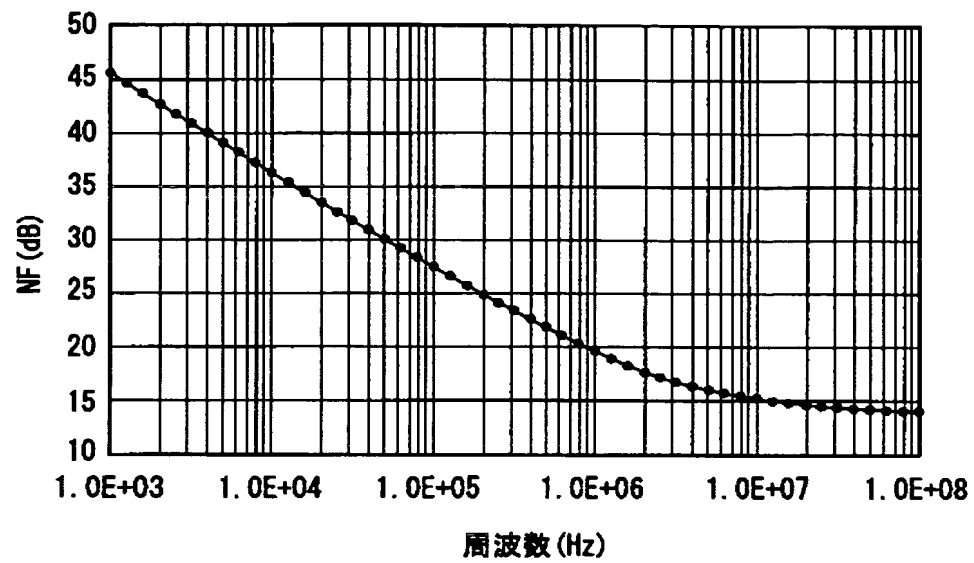
[図16]



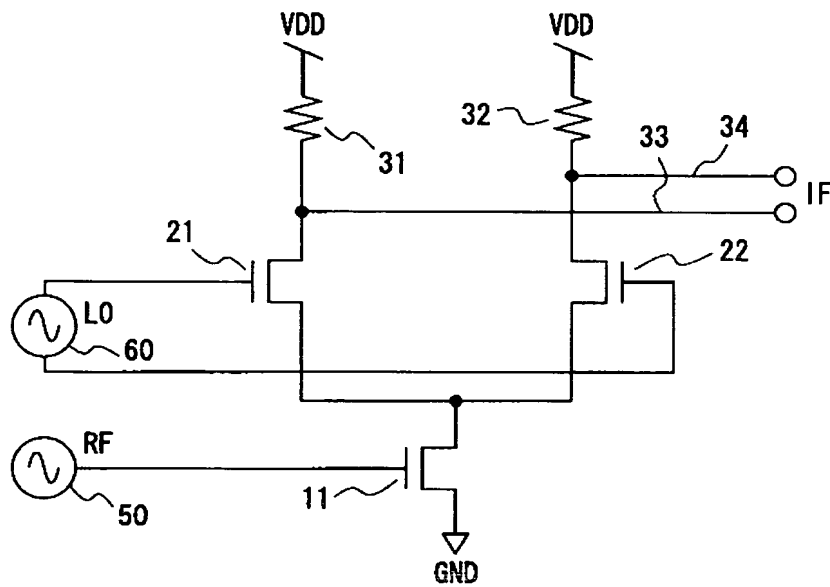
[図17]



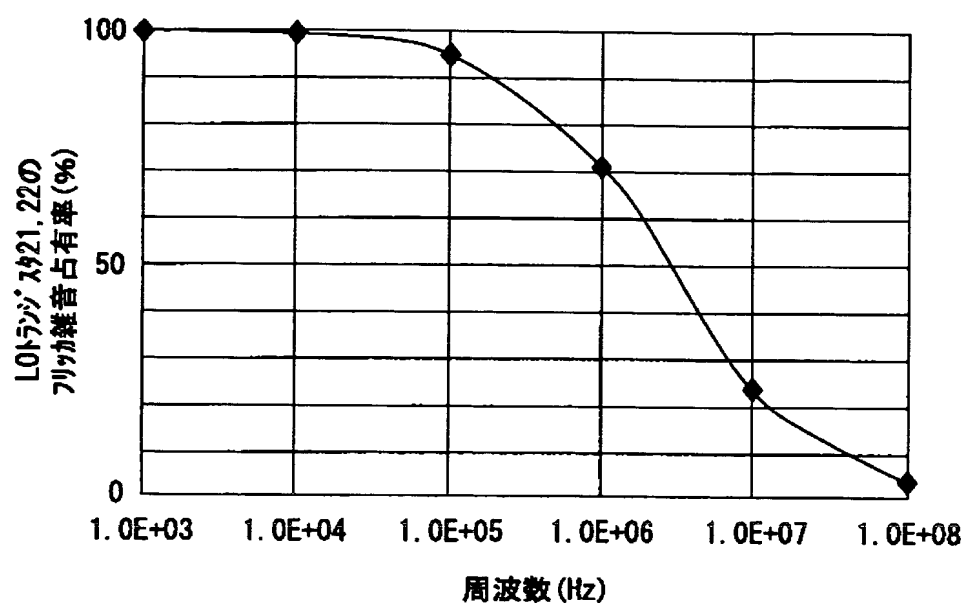
[図18]



[図19]



[図20]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/016938

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H03D7/00, 7/14

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H03D7/00-9/22, H03G3/00-3/34, H04B1/06-1/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Tōroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 04-129407 A (Alps Electric Co., Ltd.), 30 April, 1992 (30.04.92), Full text; all drawings (Family: none)	1, 3, 9, 12, 14-16 2, 4-7, 10-11 8, 13
Y	JP 07-254821 A (NEC Corp.), 03 October, 1995 (03.10.95), Full text; all drawings (Family: none)	2, 6, 10-11
Y	JP 2001-522566 A (Maxim Integrated Products, Inc.), 13 November, 2001 (13.11.01), Full text; all drawings & US 005896063 A1 & EP 000979552 A & WO 98-049769 A1	4 8, 13

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

### \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means  
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
15 February, 2005 (15.02.05)

Date of mailing of the international search report  
08 March, 2005 (08.03.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/016938

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 09-069730 A (NEC Corp.), 11 March, 1997 (11.03.97), Full text; all drawings & US 005875392 A & EP 000760554 A1	5-7 8
P,X P,Y P,A	JP 2004-104515 A (Sharp Corp.), 02 April, 2004 (02.04.04), Full text; all drawings (Family: none)	1, 3, 5, 7, 9, 12, 14-16 2, 4, 6, 10, 11 8, 13

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> H03D 7/00, 7/14

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> H03D 7/00- 9/22  
H03G 3/00- 3/34  
H04B 1/06- 1/30

最小限資料以外の資料で調査を行った分野に含まれるもの  
日本国実用新案公報 1922-1996年  
日本国公開実用新案公報 1971-2004年  
日本国登録実用新案公報 1994-2004年  
日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 04-129407 A (アルプス電気株式会社) 1992. 04. 30, 全文、全図 (ファミリーなし)	1, 3, 9, 12, 14-16
Y A		2, 4-7, 10-11 8, 13
Y	J P 07-254821 A (日本電気株式会社) 1995. 10. 03, 全文、全図 (ファミリーなし)	2, 6, 10-11
Y A	J P 2001-522566 A (マキシム・インテグレイテッド・プロダクツ・インコーポレーテッド)	4 8, 13

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日  
15. 02. 2005

国際調査報告の発送日  
08. 3. 2005

国際調査機関の名称及びあて先  
日本国特許庁 (ISA/J P)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
白井 孝治  
5W 8843  
電話番号 03-3581-1101 内線 3576

## C (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及びその箇所の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	2001. 11. 13, 全文、全図 &US005896063 A1, &EP 000979552 A, &WO98-049769 A1	
Y A	JP 09-069730 A (日本電気株式会社) 1997. 03. 11, 全文、全図 &US 005875392 A, &EP 000760554 A1	5-7 8
PX PY PA	JP 2004-104515 A (シャープ株式会社) 2004. 04. 02, 全文、全図 (ファミリーなし)	1, 3, 5, 7, 9, 1 2, 14-16 2, 4, 6, 10, 11 8, 13